Amatérské RADIO

NOSITEL VYZNAMENÁNÍ ZA BRANNOU VÝCHOVU I. A II. STUPNĚ

ŘADA B PRO KONSTRUKTÉRY

ČASOPIS PRO ELEKTRONIKU A AMATÉRSKÉ VYSÍLÁNÍ
ROČNÍK XXXIV/1985 ● ● ČÍSLO 6

V TOMTO SEŠITĚ

Svazarm
a vědeckotechnická propaganda ...201

MIKROPOČÍTAČOVÝ VÝVOJOVÝ SYSTÉM JPR-1Z

Deska DSM-1 202
Dekodér adresy 202
UART 203
Registry a přerušovací systém 204
Připojení kazet. magnetofonu 204
Programování 206
Deska RAM-32 209

Mikropočítačový vývojový systém JPR-1Z 212
Deska procesoru JPR-1Z 213
Schéma zapojení desky 214
Seznam součástek 217
Deska dynamické paměti 64 Kbyte, RAM-1Z 217
Popis zapojení desky 217
Seznam součástek 221
Deska displeje, AND-1Z 221
Popis zapojení desky 223
Seznam součástek 227
Deska řadiče flopydisků, RPD-1Z 229
Popis zapojení desky 229
Seznam součástek 232
Deska simulátoru paměti EPROM, DSE-1 234
Popis zapojení desky 234
Seznam součástek 237

Současný stav vývoje a výroby systému SAPI-1 238
Jednotky JPD-1, ZDR-1A, JPR-1A 239
Deska RAM-1 240

Inzerce 240

AMATÉRSKÉ RADIO ŘADA B

Vydává ÚV Svazarmu ve vydavatelství NAŠE VOJSKO, Vladislavova 26, 133 66 Praha 1, tel. 26 06 51–7. Šéfredaktor ing. Jan Klabal, Redakční radu řídí ing. J. T. Hyan. Redaktor L. Kalousek, OK1FAC. Redakce Jungmannova 24, 113 66 Praha 1, tel. 26 06 51–7, šéfredaktor linka 354, redaktor linka 353, sekretářka linka 355. Ročně vyjde 6 čísel. Cena výtisku 5 Kčs, pololetní předplatné 15 Kčs. Rozšiřuje PNS, v jednotkách ozbrojených sil vydavatelství NAŠE VOJSKO, administrace Vladislavova 26, Praha 1. Objednávky přijímá každá pošta i doručovatel. Objednávky do zahraničí vyřizuje PNS, ústřední expedice a dovoz tisku, závod 01, Kafkova 9, 160 00 Praha 6. Tiskne NAŠE VOJSKO, n. p., závod 08, 160 05 Praha 6, Vlastina ulice č. 889/23.

Za původnost a správnost příspěvku odpovídá autor. Návštěvy v redakci a telefonické dotazy po 14. hodině. Číslo indexu 46 044.

Toto číslo má vyjít podle plánu 26. 11. 1985.
© Vydavatelství NAŠE VOJSKO.

Svazarm a vědeckotechnická propaganda

Osmé zasedání ÚV KSČ věnované vědeckotechnickému pokroku vytyčilo linii rozvoje vědy a techniky s požadavkem zabezpečit urychlené zavádění dosažených výsledků do všech odvětví národního hospodářství. K rychlému uplatňování vědeckotechnického pokroku v národním hospodářství napomáhá i účinná vědeckotechnická propaganda, na které se podílejí všechny politickovýchovné složky. Základním východiskem této propagandy ve Svazarmu je úkol, který byl uložen Svazu pro spolupráci s armádou usnesením PÚV KSČ z 9. ledna 1985, ve kterém se říká, že je nutno „... podílet se na šíření vědomostí o vědeckotechnickém rozvoji, zejména ve vojenství a na jejich využívání ve výcvikové, branně technické a branně sportovní činnosti".

4. zasedání ÚV Svazarmu na základě tohoto usnesení a v linii VII. sjezdu formulovalo poslání a úlohu vědeckotechnické propagandy v rámci politickovýchovné práce následovně:

- přispívat k objasňování třídních souvislostí vědeckotechnického rozvoje, popularizovat závěry XVI. sjezdu KSČ, zasedání ÚV KSČ, zvláště 8. zasedání a závěry z jednání vlády ČSSR o urychlení vědeckotechnického rozvoje,
- podporovat tvořivé technické myšlení, zájem o progresívní obory, zvláště elektroniku, o uplatňování vědeckotechnických poznatků ve všech oblastech činnosti Svazarmu,
- napomáhat propagaci vědeckotechnického rozvoje a pokroku ve vojenství, jeho vlivu na morální, politickou a odbornou připravenost příslušníků ozbrojených sil, na vojenskou výchovu a výcvik, přípravu branců, záloh i obyvatelstva k obraně země,
- cílevědomě utvářet vědomí odpovědnosti našich členů za hospodárný a šetrný vztah ke svěřené technice, materiálu a finančním nákladům, propagovat cesty efektivního využívání všech prostředků, které jsou na tuto techniku a materiál vynakládány,
- popularizovat příklady jejich hospodárného využití.

Cílem vědeckotechnické propagandy ve Svazarmu je:

- podílet se svým obsahem na utváření a upevňování vědeckosvětového názoru svazarmovců, ostatních občanů a zejména mladé generace, se zaměřením na jeho branně technickou stránku, na prohlubování přesvědčení o přednostech socialistického společenského zřízení, o jeho všestranném rozvoji a možnosti využít výsledků ve vědeckotechnickém rozvoji ve prospěch člověka, společenského pokroku a mírového vývoje;
- formovat vědeckotechnické myšlení funkcionářů a členů, především mladých lidí, pěstovat u nich vztah k technice, k osvojování nových poznatků, zvyšování technických znalostí a dovedností, podněcovat rozvoj jejich technické aktivity a tvořivý přístup k technickému rozvoji a činnosti v duchu požadavků KSČ a úkolů vytýčených VII. sjezdem.

Úkoly a obsahové zaměření vědeckotechnické propagandy ve Svazarmu:

a) Objasňovat závěry sjezdů KSČ, jednotlivých zasedání ústředního výboru strany, usnesení vlády ČSSR k urychlení vědeckotechnického rozvoje a využití jeho poznatků v praxi;

- hlavní pozornost věnovat marxisticko-leninskému pojetí vědeckotechnického pokroku, třídní podstatě a souvislostem této problematiky, hybným silám jeho uplatňování, vlivu VTR na dynamický rozvoj národního hospodářství a realizaci strategické linie KSČ na intenzifikaci, vysokou efektivnost, kvalitu a hospodárnost;
- na dosažených výsledcích a perspektivách ukazovat prospěšnost vědeckotechnické spolupráce zemí socialistického společenství, cesty jejího dalšího prohlubování, především význam čs. sovětské smlouvy uzavřené na období do roku 2000; objasňovat dialektický vztah mezi růstem ekonomické síly a zvyšováním obranyschopnosti státu, připraveností armády a vytvářením podmínek pro činnost branné organizace;
- ukazovat cíle a podstatu buržoazních teorií a přístupů k vědeckotechnickému rozvoji, jeho politické a sociální důsledky, zejména orientaci na zneužívání poznatků vědeckotechnického pokroku k realizaci agresívních snah imperialismu, odhalovat tendence k zveličování předností kapitalistické techniky; důsledně reagovat na projevy nekritického obdivu k západní technice mezi členy organizace.

b) Objasňovat vědeckotechnický pokrok ve vojenství, jeho hlavní obsah a sociální důsledky, především stoupající nároky na příslušníky ozbrojených sil, jejich morálně politickou a odbornou připravenost; v návaznosti na to i rostoucí význam přípravy branců, záloh a obyvatelstva k CO, úlohu ZBČ v tomto procesu;

- popularizovat přednosti zbraní a techniky armád Varšavské smlouvy, upevňovat hrdost na techniku socialistických států a jejich ozbrojených sil, prohlubovat důvěru v její vysokou účinnost;
- vysvětlovat leninské pojetí vztahu člověka a techniky, dominantní roli člověka v tomto vztahu a jeho rozhodující úlohu v soudobé válce, ukazovat, že moderní technika znásobuje možnosti člověka, ale současně klade mnohem vyšší nároky na jeho politické přesvědčení, vojenskoodbornou i všeobecnou vzdělanost a připravenost, ukázněnost, sebeovládání, psychickou pevnost a fyzickou zdatnost.

c) Seznamovat funkcionáře a členy Svazarmu s požadavky VII. sjezdu na rozvoj technické činnosti a rozvíjení vědeckotechnické aktivity ve výcvikové, branně technické a branně sportovní činnosti, poskytovat informace a návody, jak úkoly v této oblasti realizovat v branném výchovném působení, získávat svazarmovce pro jejich plnění; zobecňovat nejlepší zkušenosti z řídící a organizátorské činnosti orgánů, z odborně metodického působení rad a sekcí, uplatňování technického rozvoje a aktivity v ZO a jejich klubech; z vlivu branně výchovných pracovníků na tuto oblast;

- popularizovat branně technické činnosti Svazarmu, šířit v nich nejnovější poznatky vědy a techniky, zejména ve vztahu k těmto odbornostem, propagovat úkoly vyplývající z linie VII. sjezdu a koncepcí, opatření stranických a svazarmovských orgánů k jejich dalšímu rozvoji; objasňovat přínos branně technických činností mladým lidem z hlediska uspokojování jejich zálib v nejprogresívnějších oborech i možností využití a uplatnění získaných znalostí a dovedností v oblasti obrany, především při studiu na vojenských školách, při výkonu vojenské služby a rovněž i v národním hospodářství; při vynálezecké a zlepšovatelské činnosti.

Při realizaci požadavků na vědeckotechnickou propagandu musí být prvořadá pozornost věnována obsahovým otázkám. Nezanedbatelnou úlohu však má volba odpovídajících forem a prostředků. Na jejich pestrosti a přitažlivosti v mnohém závisí, jak je sdělovaný obsah vnímán a přijímán. V této části převážně nejde o neznámé a zcela nové formy, nýbrž o souhrn těch, které se v praxi osvědčily jak v oblasti branně politického vzdělávání, tak i v oblasti politické agitace. Zkušenosti ukazují, že ještě dostatečně není využívána celá škála rozmanitých a mnohostranných forem a prostředků, že často při jejich volbě není brán potřebný zřetel na složení účastníků akcí apod. Z tohoto hlediska je třeba doporučit využívat následující formy a prostředky:

- audiovizuální program, filmy, diafony, výstavky, diafilmy;
- večery otázek a odpovědí, kvízy a technické soutěže, návštěvy muzeí technického zaměření;
- festivaly audiovizuální tvorby, soutěže technické tvořivosti, účast na přehlídkách SSM – Zenit;
- přednášky, informace, semináře, technické konference a odborná školení;
- prohlídky kabinetů elektroniky, učeben, dílen a dalších technických zařízení Svazarmu, včetně autoškol a podniků Svazarmu;
- návštěvy technických zařízení SSM, Domů pionýr-

rů a mládeže, Stanice mladých techniků, zařízení ČSVTS, ČSTV a dalších organizací a institucí, spojené s výměnou zkušeností;
- setkání a besedy s konstruktéry, vynálezci a zlepšovateli, exkurze do závodů, výzkumných ústavů apod.;
- návštěvy vojenských útvarů spojené s prohlídkami bojové techniky, učeben, dalších technických zařízení a besedy s nositeli výkonnostních tříd a dalšími specialisty;
- *dny otevřených dveří ve svazarmovských zařízeních pro veřejnost;*
- propagační a náborové akce jednotlivých odborností při příležitosti významných politických událostí a výročí;
- besedy v ZO a klubech se členy svazarmovských orgánů, rad a sekcí, s branně výchovnými pracovníky (vedoucími klubů a kroužků, s trenéry, cvičiteli apod.) i s pracovníky aparátu, vedoucími a technickými pracovníky hospodářských zařízení Svazarmu.

Zkušenosti ukazují, že především trenéři, cvičitelé, vedoucí klubů a kroužků se bezprostředně střetávají s různými nejasnostmi, pochybnostmi, ale i s projevy nekritického obdivu k technice vyspělých *kapitalistických států, včetně jejího přeceňování.* Na druhé straně jsou svědky podceňování výsledků rozvoje vědy a techniky v socialistických zemích, přehlížení a nedocenění možností socialismu využít poznatky vědeckotechnického pokroku v souladu se zájmy lidí, k rozvoji společnosti a mírovým účelům. To vše má dopad do oblasti světonázorové výchovy a v jejím rámci je proto potřebné tyto otázky správně objasňovat a čelit tak všem pochybnostem a vlivům buržoazní propagandy.

Proto se od branně výchovných pracovníků požaduje, aby udělali co nejvíce nejen pro šíření vědomostí o vědeckotechnickém rozvoji, ale i správně třídně politicky objasňovali tyto otázky v řadách svazarmovců a zvláště mládeže. K objasnění vědeckotechnického rozvoje nelze přistupovat pouze z odborných hledisek či objektivisticky, ale především neodděleně od třídní podstaty a společensko politických souvislostí.

MIKROPOČÍTAČOVÝ VÝVOJOVÝ SYSTÉM JPR-1Z

Ing. Eduard Smutný

Úvod

Toto číslo řady B má tři samostatné části. *V první* je popis rozšíření systému JPR-1 o desky DSM-1 a RAM-32. Deska DSM-1 slouží pro připojení kazetového magnetofonu a terminálu. Ten, kdo si *postavil systém s mikropočítačem JPR-1*, neměl možnost záznamu dat na magnetofon. To, aby si mohli vlastníci systému připojit magnetofon, není však jediný důvod, proč desku DSM-1 publikuji. Mikropočítačový vývojový systém JPR-1Z, uveřejněný v tomto čísle, může pracovat pod systémem CP/M buď s terminálem nebo s TV přijímačem. Ten, kdo bude chtít připojit terminál, potřebuje desku DSM-1 pro připojení terminálu SM 7202.

Deska RAM-32 rozšiřuje systém o 32 Kbyte dynamické paměti. Svou jednoduchostí je zejména vhodná pro amatéry. Deska RAM-1, která má 48 Kbyte paměti, je složitější a má náročnější desku s plošnými spoji.

V druhé části je popis mikropočítačového vývojového systému s procesorem Z80. Pod vývojovým systémem si samozřejmě můžete představit i drahé a složité vývojové systémy Intel nebo TI. Náš vývojový systém je založen na připojení floppydisku a na implementaci operačního systému CP/M. Systém je doplněn o simulátor paměti EPROM a o programátor paměti EPROM. S těmito technickými prostředky doplněnými o programové vybavení je již možno vyvíjet aplikace mikropočítačů jak po stránce hardware (HW), tak i software (SW).

V třetí části jsem se věnoval současnému stavu vývoje a výroby systému SAPI-1. Využil jsem masového nákladu Amatérského radia k tomu, abych uživatele systému SAPI-1, kterých by mělo být již více než 5000, seznámil s tím, co jsme vyvinuli a připravili do výroby.

V úvodu k tomuto číslu AR řady B bych se chtěl také omluvit mnoha zájemcům, kteří dopisem žádali o podrobnosti o JPR-1. Doufám, že následující stránky trochu vysvětlí, proč jsem pro nedostatek času nemohl písemně odpovídat. Trávím na vývoji systému všechen svůj volný čas a na psaní dopisů již další nemám; navíc vývoj elektroniky je čím dál tím náročnější na čas i vědomosti. Přijměte tedy nové desky pro systém SAPI-1 jako odpověď na otázku, proč Vám ing. Smutný nenapsal.

Deska DSM-1

Deska DSM-1 slouží pro připojení kazetového magnetofonu a terminálu k systému SAPI-1. Deska je připravena pro připojení konvertoru DPK-1, který umožní připojit místo terminálu dálnopisný stroj (pětistopý 50,75 nebo 100 Bd – např. T 100 ze Zbrojovky Brno). Deska DSM-1 komunikuje s procesorem pomocí signálů sběrnice ARB, má standardní rozměr 140 × 150 mm a je opatřena třemi konektory. Konektor X_1 slouží pro připojení desky ke sběrnici ARB. Konektor X_2 slouží pro připojení terminálu nebo konventoru DPK-1. Konektor X_3 slouží pro připojení kazetového magnetofonu.

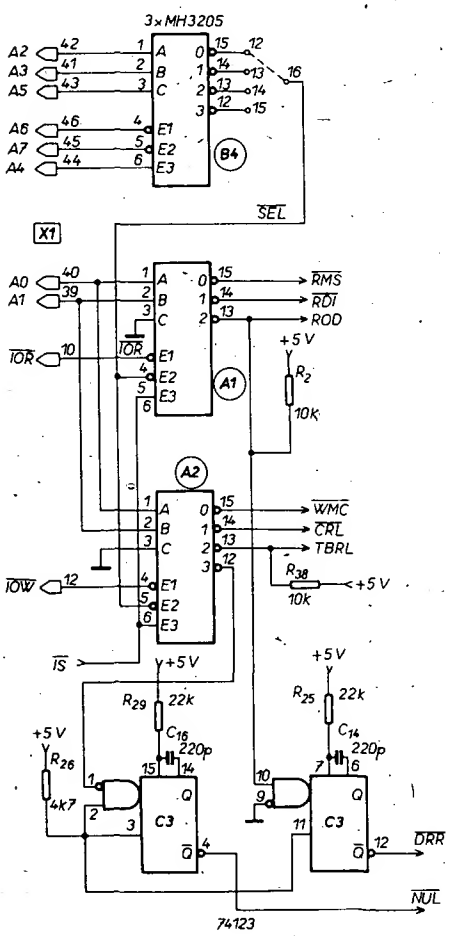
Na desce DSM-1 jsou propojky pro volbu adresy přídavného zařízení. Jsou volitelné čtyři možné adresy, proto lze v systému použít až čtyři desky DSM-1, pokud se nepřekročí povolená zátěž sběrnicových signálů. Zapojení umožňuje i ovládat rozběh a zastavení motorku kazetového magnetofonu pomocí relé.

Popis zapojení a funkce desky

Schéma desky je rozděleno na tři části. První část zobrazuje zapojení dekodéru adres, druhá zapojení obvodu UART a registrů, třetí zobrazuje obvody připojení magnetofonu a časovou základnu.

Dekodér adresy

Dekodér adresy (obr. 1) je na desce DSM-1 dvoustupňový. Adresy A2 až A7 jsou dekódovány obvodem MH3205 (B4). Výstupy *0* až *3* tohoto dekodéru jsou vyvedeny na špičky *12* až *15*. Spojením špičky *16* s jednou z těchto čtyř špiček vznikne signál SEL, který odblokuje dekodér pro čtení (A1) a dekodér pro zápis (A2). Oba tyto dekodéry jsou tvořeny opět obvodem MH3205. Na jejich vstupy A a B jsou přivedeny dva nejnižší adresové bity A0 a A1. Výstupy dekodérů volí pak jednotlivé registry desky. Výstupy dekodéru A1 jsou aktivní v log. 0 po dobu trvání signálu $\overline{IOR}$. Výstup 0 dekodéru A1 vybírá obvod C1, který pracuje jako registr,



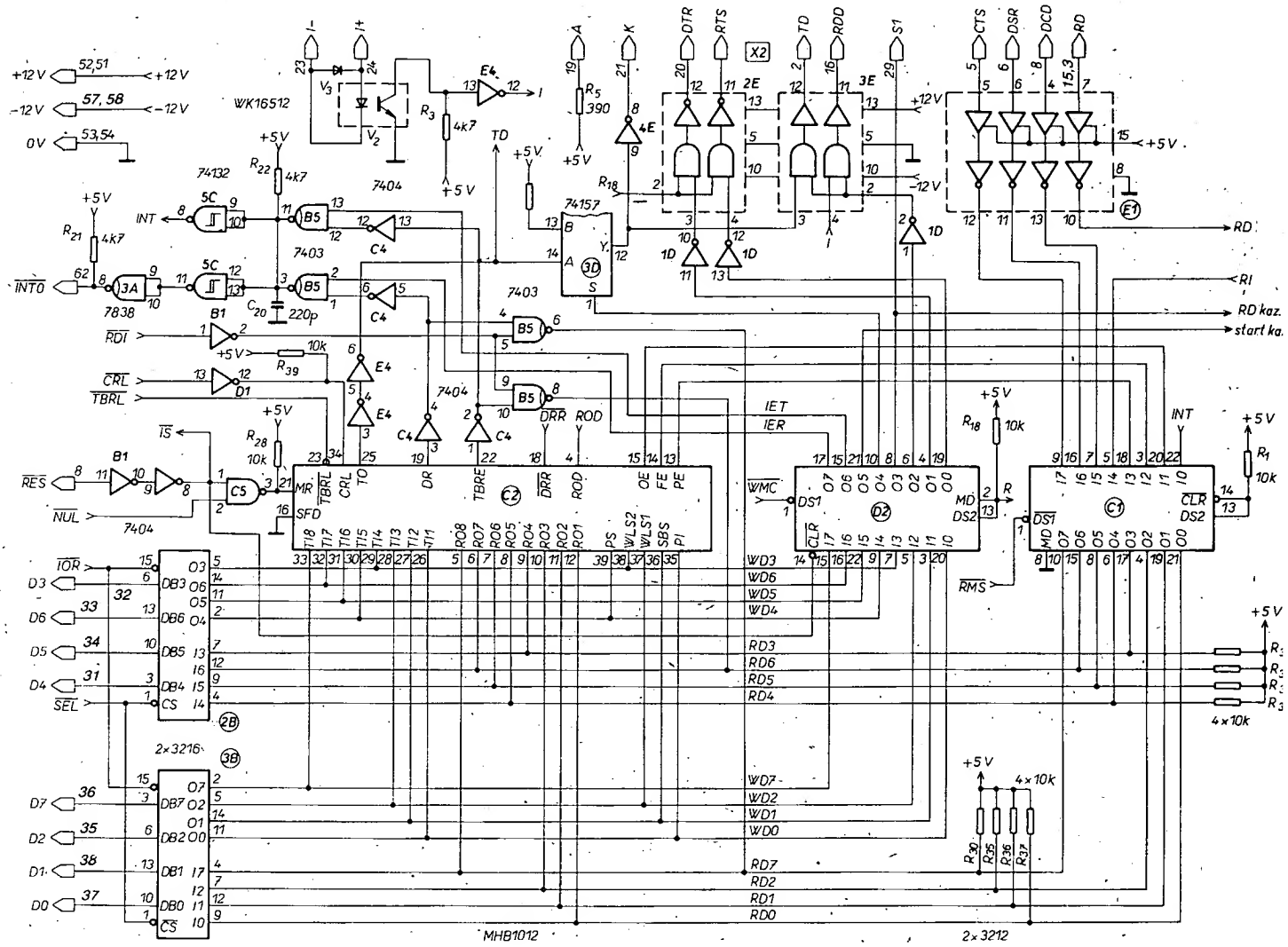
Obr. 1. Schéma desky DSM-1, část 1, dekodér adresy

z kterého je možno přečíst STAV MODEMU. Výstup *1* dekodéru A1 je invertován a otvírá hradla B5, pomocí nichž se čte stav obvodu UART, vlastně pouze dva bity, které oznamují ukončení příjmu nebo vyslání znaku. Výstup *2* dekodéru A1 plní dvě funkce. Signál aktivní v nule povoluje čtení přijatých dat z vnitřního registru obvodu UART. Po skončení tohoto signálu se „nahodí" monostabilní obvod C3 a na jeho výstupu *12* se objeví negativní impuls. Tento impuls je zaveden do obvodu UART C2/18 (vývod *18*) jako signál $\overline{DRR}$, kterým se poděkuje za přijmutá data a vynuluje se hlášení o připravenosti dat, které je představováno výstupem DR (C2/19). Výstupy dekodéru A2 jsou aktivní v log. 0 po dobu trvání signálu $\overline{IOW}$. Výstup 0 dekodéru jde na vstup $\overline{DS1}$ registru D2. Tento obvod (MH3212) tvoří registr nazvaný řízení modemu a pomocí signálu $\overline{DS1}$ se do tohoto registru zapisují data WD 0 až WD 7. Výstup *1* dekodéru A2 je invertován obvodem D1/12 a slouží jako zápisový impuls pro nahrání řídicího slova do obvodu UART. Výstup *2* dekodéru A2 je veden přímo na vstup $\overline{TBRL}$ (C2/23) obvodu UART a slouží jako zapisovací impuls pro data určená k vysílání. Výstup *3* dekodéru A2 je veden na monostabilní obvod (C3/1), který prodlouží příliš krátký impuls (daný šířkou signálu IOW, 500 ns) na delší. Tento impuls je sečten se signálem $\overline{RES}$ na hradle C5/3. Výstupní signál z tohoto hradla nastavuje obvod UART do správného počátečního stavu buď při zapnutí, nebo při nulování systému, nebo po provedení instrukce OUT s adresou NULOVÁNÍ desky DSM-1.

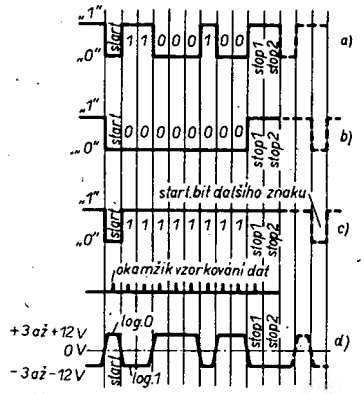
Obvod pro příjem a vysílání – UART

Obvod C2, nazývaný UART (obr. 2), je moderní mikroelektronická součástka, která nahradí přes 20 běžných obvodů TTL. Obvod UART (v tomto případě TESLA MHB1012) je jedním z nejpoužívanějších obvodů ve výpočetní technice. Sériový přenos je nejvíce standardizován a tak se používá nejen pro připojení terminálu k počítači, ale i pro připojení jiných přídavných zařízení, nebo pro spojení dvou počítačů. Druh sériového přenosu, pro který je deska DSM-1 určena, je označován jako asynchronní přenos nebo přenos start-stop. To znamená, že vysílač a přijímač nemají synchronní „hodiny" a synchronizace se zajišťuje při každém vyslaném znaku zvlášť. Aby bylo možno zasynchronizovat libovolný znak (třeba samé jedničky nebo samé nuly), je nutno znak doplnit o další bity. Standardní asynchronní přenos používá jeden bit START a jeden nebo dva bity STOP. V klidu je na přenosovém vodiči jednička a bit START je vždy nulový, pak se postupně přenáší 5 až 8 (obvykle 8) datových bitů libovolné kombinace jedniček a nul. Na závěr jsou bity STOP, které jsou vždy jednička, a umožňují vyrovnat případné časové rozdíly v délce přenášeného znaku. Po bitech STOP může ihned začínat bit START nového znaku nebo, nepřenáší-li se více znaků, zůstane na přenosovém vodiči jednička.

V obvodu UART je speciální čítač, který vyrábí vzorkovací impulsy pro jednotlivé bity přenášeného znaku. Tento čítač je u obvodu MHB1012 buzen signálem se 16× vyšším kmitočtem, než je bitový přenosový kmitočet, který se udává v jednotkách Bd (bodů). Čítač je odblokován příchodem START bitu a při dosažení stavu 8 vzorkuje data na vstupu obvodu UART. Tím je zajištěno, že šířka bitů může být trochu odlišná (zkreslená přenosem nebo chybou vysílacího kmitočtu). Na obr. 3a je průběh signálu na výstupu obvodu UART při vysílání znaku (23 HEX). Na obr. 3b je průběh při vysílání znaku (00 HEX). Na obr. 3c je průběh vstupu obvodu UART při znaku (FF HEX) s vyznačením okamžiku vzorkování dat v polovině přijímaného bitu. Na obr. 3d je průběh na výstupu nebo vstupu desky DSM-1, kde má signál úroveň danou doporučením CCITT V24, tj. ±3 V až ±12 V. Úroveň log. 0 je definována doporučením V24 jako kladná, úroveň log. 1 jako záporná. Ostatní signály V24 (DTR, CTS atd.) mají naopak pozitivní logiku, to znamená úroveň +3 V jako log. 1 a úroveň −3 V jako log. 0. Úkolem obvodu UART je převést paralelní



Obr. 2. Schéma desky DSM-1, část 2, UART a registry



Obr. 3.

data z mikropočítače na sériová data a sériová data terminálu na paralelní tak, aby je mohl zpracovat mikropočítač. Obvod UART TESLA MHB1012 se skládá ze tří funkčních bloků. Ke každému funkčnímu bloku patří i část ze 40 vývodů, které obvod má. Základním blokem je ŘÍZENÍ, ke kterému patří i vstupy pro napájecí napětí +5 V, −12 V. Blok řízení umožňuje volit parametry sériového přenosu, hlídá správnost přenosu a případné chyby ohlásí mikropočítači. Vstup CRL je aktivní v jedničce a umožňuje zápis řídicích vstupů do bloku ŘÍZENÍ. Řídicí vstupy mají tento význam:
PI – povolení parity, „1" = bez parity, „0" = s paritou, PS – volba parity; „0" = lichá parita, „1" = sudá parita.

WLS 2	WLS 1	délka slova
0	0	5 bitů
0	1	6 bitů
1	0	7 bitů (parita je navíc)
1	1	8 bitů

SBS – volba počtu STOP bitů, „1" = 2 stop bity, „0" = 1 stop bit. Při volbě délky slova 5 bitů se automaticky navolí při SBS = „1" počet stop bitů na 1 1/2 tak, jak to vyžaduje Baudotův dálnopisný kód. Vstup SFD (C2/16), je-li v nule, povoluje čtení hlášení o chybách. Chyby se hlásí na výstupech PE, FE a OE a tyto výstupy jsou aktivní při log. 1. Výstup PE hlásí chybu parity. Výstup FE hlásí, že po posledním datovém bitu (nebo paritním bitu) nepřišel správně bit STOP. Výstup OE hlásí, že v okamžiku, kdy přišel nový znak do přijímače obvodu UART, nebyl ještě převzat minulý znak a že se tedy znak ztratí. Vstup MR je nulovací vstup celého obvodu UART. Blok VYSÍLAČE sériových dat začíná paralelními vstupy TI1 až TI8 a končí sériovým výstupem TO. Vstupem TC přichází do obvodu hodinový signál o kmitočtu 16× vyšším, než bude kmitočet vysílaných dat. „Nulou" na vstupu $\overline{TBRL}$ se naplňuje registr vysílače informací z paralelních vstupů TI1 až TI8. „Jedničkou" se na výstupu TRBE ohlašuje, že obsah registru vysílače byl převeden do sériového kódu a vyslán, neboli že můžeme naplnit registr dalšími daty. Jakmile zapíšeme další data ($\overline{TBRL}$ = „0"), výstup TBRE spadne na „nulu" a nastaví se na „jedničku" po naskočení vysílání znaku. Blok přijímače pracuje obráceně než blok vysílače. Vstupem RC přichází do obvodu hodinový signál o kmitočtu vyšším než je kmitočet přijímaných dat. Budeme-li přijímat data přenášená rychlostí 2400 Bd, musí být na vstupu RC signál o kmitočtu 38,4 kHz. Vstupem RI přicházejí do obvodu sériová data. Výstup DR ohlašuje úrovní „1", že znak byl přijat a převeden na paralelní data, která je možno převzít na výstupech RO1 až RO8. Vstup ROD řídí třístavové vysílače na výstupech RO1 až RO8. Je-li na ROD = „nula", data je možno převzít do mikropočítače. Negativním impulsem na vstupu DRR je možno poděkovat za data a vynulovat hlášení o připravenosti dat na výstupu DR.

Registr stavu modemu

Obvod MH3212 (C1) pracuje jako registr stavu modemu (obr. 2). Nejnižší tři bity tohoto registru jsou přes převodník (E1) V24 – TTL připojeny na tři výstupní signály terminálu nebo modemu (CTS, DSR a DCD). Čtvrtý bit registru umožňuje číst přímo vstupní sériová data obvodu UART pro případ, že chceme zajistit stav BREAK, který je představován dlouhou úrovní log. 0 na přenosovém vedení, kde je jinak pouze krátký bit STOP nebo data. Další tři bity stavového registru modemu umožňují převést do mikropočítače hlášení o chybách z obvodu UART. Poslední bit ohlašuje, že deska DSM-1 žádá o přerušení.

Registr řízení modemu

Tento registr je tvořen opět obvodem MH3212 (D2); do něho může mikropočítač zapsat jedno slovo, nebo ho může signálem $\overline{RESET}$ vynulovat. Nejnižší dva bity jsou přes převodníky TTL-V24 (D2E, D3E) přivedeny na konektor X_2 jako signály pro terminál nebo modem (RTS a DTR). Třetí bit umožňuje vyslat stav BREAK. Má-li tento bit úroveň „1", jsou zablokována sériová data a na přenosovém vedení je úroveň log. 0 bez ohledu na vysílaná data. Čtvrtý bit registru D2 je významný pouze pro práci s kazetovým magnetofonem. Je-li tento bit na úrovni log. 0, blokuje se příjem dat z magnetofonu trvalým nulováním klopného obvodu E5/9. Pátý bit registru D2 volí, zda se bude pracovat s kazetovým magnetofonem nebo s terminálem. Výstup registru ovládá multiplexer D3, který přepíná vstupní a výstupní data obvodu UART, hodiny UART a nulování čítače D6 buď pro kazetu nebo terminál. Šestý bit registru D2 ovládá spínač relé pro ovládání motorku kazetového magnetofonu. Poslední dva bity registru jsou důležité pro přerušovací systém desky a umožňují blokovat nebo povolit přerušení od skončení vysílání nebo příjmu znaku.

Přerušovací systém desky DSM-1

Deska DSM-1 umožňuje pracovat jak s přerušením, tak bez něj. Žádost o přerušení pro mikropočítač je dána buď po skončení vysílání znaku (TBRE = „1") nebo po skončení příjmu znaku (DR = „1"). Přerušení od vysílače (nebo přerušení od přijímače) je možno povolit nebo zablokovat pomocí dvou nejvyšších bitů registru řízení modemu D2. Žádost o přerušení od vysílače se ukončí buď posláním nového znaku, nebo zablokováním přerušení od vysílače. Žádost o přerušení od přijímače se ukončí buď přečtením znaku, který byl přijat, nebo zablokováním přerušení od přijímače. Při zjišťování zdroje žádosti o přerušení se mikropočítač ptá jednotlivých desek systému, zda žádaly o přerušení. Proto je možno (v bitu „0" registru stavu modemu) přečíst, zda deska DSM-1 žádá přerušení. Žádá-li, je možno navíc, přečtením dvou nejvyšších bitů registru, stav obvodu UART, zjistit, zda o přerušení žádá přijímač, nebo vysílač.

Obvod pro připojení konvertoru pro dálnopis

Běžný pětistopý dálnopis není schopen vysílat a přijímat na úrovních V24 (±12 V), ale používá pro přenos tzv. proudovou smyčku s proudem asi 40 mA a napětím přes 60 V. Tato proudová smyčka musí být izolována od ostatních obvodů mikropočítače. Obvody pro buzení proudové smyčky jsou součástí konvertoru pro dálnopis DPK-1. Na desce DSM-1 je pouze oddělovač vstupu z konvertoru tvořený optoelektronickým členem V_2. Signál z konvertoru se převede převodníkem 3E na úroveň V24 a pak se teprve přivede přes spojku na konektoru X_2 (spojeno *15* a *16*) na vstup RD desky DSM-1.

Hradlo E4/8 a rezistor R_5 slouží k buzení oddělovacího optoelektrického členu, který je součástí konvertoru DPK-1. Popsané oddělovací obvody jsou určeny pouze pro DPK-1 a nesplňují žádné normy nebo doporučení pro proudovou komunikační smyčku.

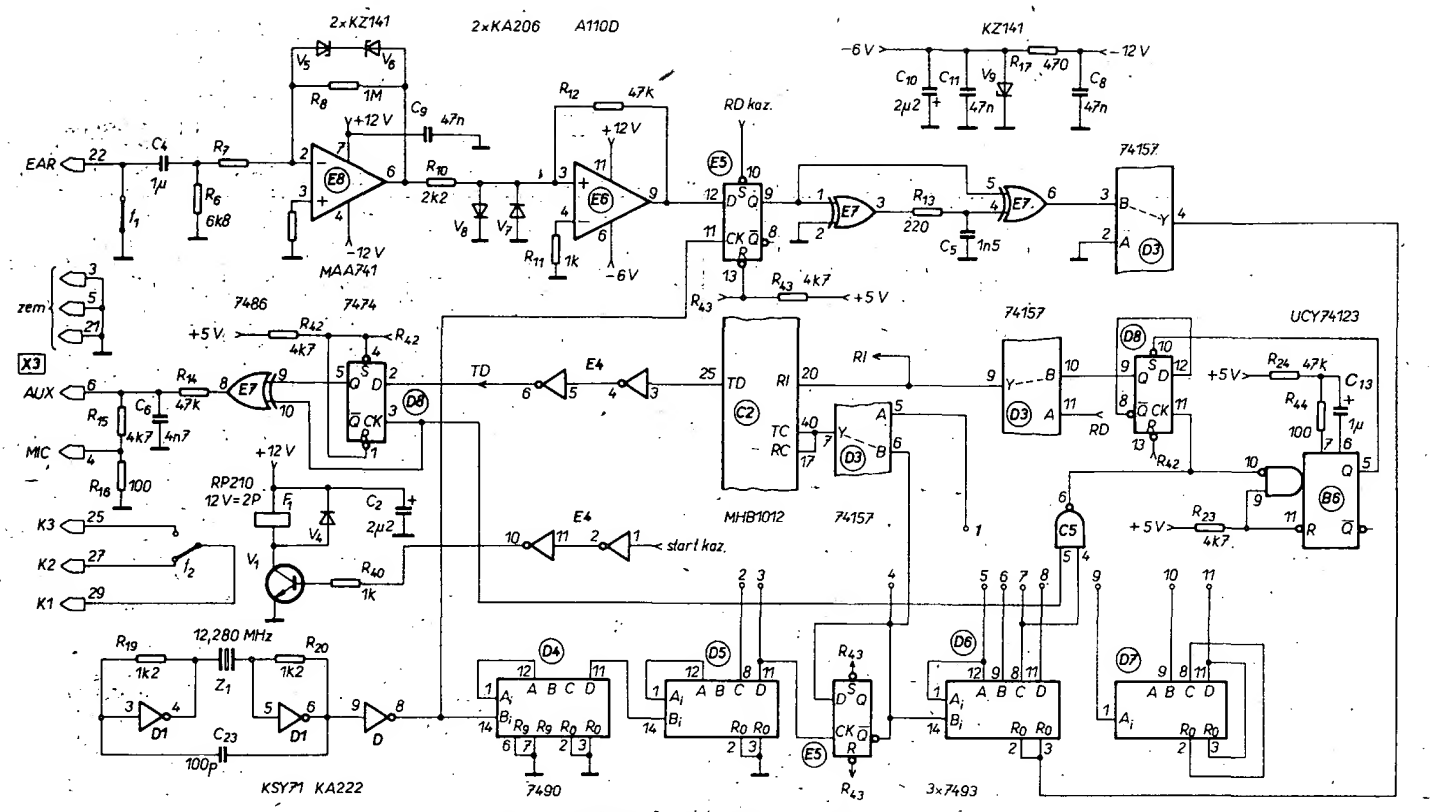
Generátor přenosových kmitočtů

Zdroj referenčního kmitočtu je tvořen krystalovým oscilátorem o kmitočtu 12,288 MHz. Dále je kmitočet dělen děliči tak, aby byly získány 16násobky standardních přenosových rychlostí. Přenosová rychlost pro záznam na magnetofon je zvolena pevně na 2400 Bd. Přenosové rychlosti pro terminál, modem nebo dálnopis jsou volitelné propojkami, které jsou uvedeny na obr. 5.

Obvody pro připojení kazetového magnetofonu

Deska DSM-1 umožňuje připojit k systému SAPI-1 kazetový magnetofon pro záznam programů a dat (obr. 4). Pro záznam informací byl zvolen poměrně vysoký kmitočet (2400 Hz) a proto je možno použít pouze kvalitní magnetofon a kvalitní kazety. Pro záznam a čtení informací se používá sériový kód, se kterým umí pracovat obvod UART, který je na desce DSM-1 pro připojení terminálu nebo modemu. Po dobu spolupráce s magnetofonem není možno komunikovat s terminálem, neboť obvod UART je připojen k obvodům pro připojení magnetofonu. Tam, kde by nebylo vhodné přerušit spolupráci s terminálem, je nutné používat dvě desky DSM-1: přes jednu připojit magnetofon a přes druhou terminál.

Chceme-li zaznamenat na běžný magnetofon číslicový signál, je nutné tento signál nejprve upravit tak, aby byl pro magnetofon vhodný. U desky DSM-1 je použita tzv. fázová modulace. Aby bylo dosaženo jednoduchosti, byl použit speciální druh fázové modulace. Využívá se vlastnosti sériového asynchronního přenosového kódu, který začíná nulovým bitem START. Je-li znám počáteční, klidový stav dat, a ten je „jednička", pak je možné kódovat pouze změny „0"–„1" a „1"–„0". není tudíž nutné vyhodnocovat, zda je úroveň „1" nebo „0", ale pouze změnit minulý stav na inverzní, na což



Obr. 4. Schéma desky DSM-1, obvody pro magnetofon a generátor přenosových kmitočtů

stačí jeden klopný obvod. Sériová kombinace z obvodu UART (C2/25) přichází na modulátor tvořený klopným obvodem D8/5 a hradlem EX-OR E7/8. Data z obvodu UART se synchronně zapisují do klopného obvodu s náběžnou hranou hodinového signálu o kmitočtu 2400 Hz. Obvod EX-OR pracuje vlastně v zapojení, kterému můžeme říkat řízený invertor. Je-li na řídicím vstupu E7/9 tohoto hradla log. 0, signál přicházející na jeho druhý vstup (E7/10) není hradlem invertován. Je-li na řídicím vstupu log. 1, pak je signál přicházející na druhý vstup hradlem invertován. Na řídicí vstup obvodu E7/9 přicházejí data z klopného obvodu D7/5 a na druhý vstup hradla E7-10 hodinový signál. Pokud jsou data „nulová", hradlo hodinový signál neinvertuje, pokud jsou data „jedničková", hodinový signál přichází na výstup invertován. Je-li pak změna „1"–„0" nebo „0"–„1", mění se fáze hodinového signálu o 180°. Signál dat, fázově kódovaný, je pak dělen odporovým děličem na úroveň vhodnou pro magnetofon a přiveden do zesilovače magnetofonu. Při čtení informace z magnetofonu se nejprve slabý signál zesílí zesilovačem s velkým ziskem (E8) a pak upraví na pravoúhlý průběh komparátorem E6.

Klopný obvod E5/9 nemá prakticky pro funkci celého obvodu velký význam, slouží pouze pro blokování dat z výstupu komparátoru při zápisu na magnetofon. Kdyby data nebyla při zápisu blokována, nuloval by se i při zápisu čítač D6, a to je nežádoucí. Při čtení, kdy klopný obvod nemá na nulovacím vstupu log. 0, procházejí informace přes klopný obvod na derivační obvod, tvořený hradly E7/3 a E7/6, který vyrábí krátké impulsy při každém průchodu vstupního signálu nulou. Tyto impulsy pak přes multiplexer D3 nulují čítač D6.

Fázově zaznamenávaná informace na magnetofon je vlastně převedena na sled krátkých impulsů a rozhodující je časová vzdálenost mezi těmito impulsy. Přicházejí-li impulsy v intervalu 208 µs, nebyla zaznamenávána na pásek žádná fázová změna. Naopak interval 416 µs indikuje, že na pásek byla zaznamenána fázová změna. Dekodér fázového záznamu je tvořen klopným obvodem D8/9, čítačem D6 a monostabilním obvodem B6/5.

Čítač D6 slouží jako detektor intervalu mezi impulsy. Čítač má 16 stavů a je nulován krátkými impulsy. Rozhodující je, jakého stavu čítač dosáhne. Hradlo C5/6 dekóduje stavy 12, 13, 14 a 15. Byla-li mezi impulsy krátká mezera, čítač nestačí dosáhnout stavu 12 nebo vyššího, byla-li

Propojení propojek	Význam
Volba přenosové rychlosti	spojeno
D6: 9–4, 5, 8–3, 6–1, 7–2; D7: 11, 10	9600 Bd 1–2
	4800 Bd 1–3
	2400 Bd 1–4
	1200 Bd 1–5
	600 Bd 1–6
	300 Bd 1–7
	200 Bd 1–11 a 5–9
	150 Bd 1–8
	100 Bd 1–11 a 6–9
	75 Bd 1–10 a 8–9
	50 Bd 1–11 a 7–9

Pozn.: Přenosová rychlost pro záznam na kazetu je pevná (2400 Bd) a volí se automaticky po přepnutí na kazetu Dodáváno 600 Bd 1–6

Adresa desky: 16–12, 13, 14, 15

Dodáváno 16–12 adresy 10H až 13H

R/W	Funkce	Spojka 16–12	16–13	16–14	16–15
W	Modem	10H	14H	18H	10H
W	UART	11H	15H	19H	10H
W	Data	12H	16H	1AH	1EH
W	Nulování	13H	17H	18H	1FH
R	Modem	10H	14H	18H	1CH
R	UART	11H	15H	19H	10H
R	Data	12H	16H	1AH	1EH

R = IOR
H = HEX
W = IOW

Obr. 5. Volba přenosových rychlostí a adres na desce DSM-1

dlouhá mezera, pak čítač dosáhne stavu 12 a na výstupu hradla se objeví impuls. Tento impuls znamená, že na pásek byla zaznamenána fázová změna, a proto je přiveden na hodinový vstup klopného obvodu, který při každém hodinovém impulsu změní stav. Na výstupu Q (D8/9) tohoto klopného obvodu jsou již dekódovaná data z pásku.

Monostabilní obvod B6/5 zajišťuje počáteční nastavení klopného obvodu na „1", jak to odpovídá definici klidového stavu sériového asynchronního přenosu. Nepřijde-li dlouho žádná fázová změna, monostabilní obvod ukončí výstupní impuls (B6/5) a na jeho výstupu Q bude „nula". Protože v každém znaku, který přijde z pásku, je alespoň jedna fázová změna (bit START = „0", bit STOP = „1"), je zajištěno, že se při čtení dat monostabilní obvod trvale spouští a má tudíž Q = „1". V mezeře mezi daty pak není obvod spouštěn a celý dekodér se nastaví do správného výchozího stavu, kdy D8/9 = log. 1.

Doba kyvu monostabilního obvodu musí být delší, než délka jednoho přijatého znaku, tj. asi 5 ms. Je nutné poznamenat, že celý obvod rozlišuje tři případy čtení pásku. Na pásku může být zaznamenána mezera („jednička"), která je v klidu na výstupu obvodu UART. Tato mezera nemá fázové změny a proto jsou na pásku zaznamenány pouze krátké intervaly a při čtení se správně dekóduje „jednička". Nebo jsou na pásku data a pak celý obvod pracuje tak, jak bylo popsáno. Poslední případ nastane, když čteme pásek, na který ještě nebylo nic nahráno (čistý pásek). V tomto speciálním případě pak nepřichází z pásku žádný vstupní signál, není tudíž co derivovat obvodem E7/6 a čítač D6 se nenuluje. Proto dosáhne čítač vždy stavu 15 a klopný obvod D8/9 se překlápí trvale z „jedničky" na „nulu". Celý dekodér pak vydává data, střídavě „jedničky" a „nuly", a obvod UART sérii „jedniček" a „nul" bere jako znaky AA (HEX) nebo 55 (HEX). Správný záznam na pásku je takový, že před daty se zapíše záhlaví, tj. trvalá úroveň („jednička" = krátké intervaly) a pak se zapíše blok dat. Při čtení se pak čeká na to, že UART po určitou dobu nepřijímá žádná data, to znamená, že přijímá úroveň „jedničky", která je zaznamenána krátkými intervaly bez fázových změn. Kdyby byl pásek čistý, nebo kdybychom zapomněli zapnout magnetofon, přijímala by se data (AA nebo 55) a podmínka příjmu záhlaví před daty by nebyla splněna.

Registr: ŘÍZENÍ MODEMU
Čtení/zápis: IOW
Adresa: 10 (14, 18, 1C)

BIT	7	6	5	4	3	2	1	0
	IER	IET	START	KAZ	RD	BRK	DTR	RTS
	přerušení		funkce			V24		

7 IER – povolení přerušení od přijímače
6 IET – povolení přerušení od vysílače
5 Sepnutí relé pro start kazetového magnetofonu
4 KAZ = „1" volba magnetofonu; KAZ = „0" volba terminálu V24
3 RD = „1" čtení z magnetofonu; RD = „0" zápis na magnetofonu
2 BRK = „1" poslání trvalého start bitu na přenosovou linku V24; BRK = „0" povolení posílání dat
1 Signál DTR z doporučení V24 „Data Terminal Ready"
0 Signál RTS z doporučení V24 „Request To Send"

Registr: ŘÍZENÍ UART
Čtení/zápis: IOW
Adresa: 11 (15, 19, 1D)

BIT	7	6	5	4	3	2	1	0
	–	–	–	PS	WLS1	WLS2	SBS	PI

7 až 5 bez významu, obvykle „0".
4 PS = „1" sudá parita; PS = „0" lichá parita
3 až 2 délka slova 0 0 5 bitů
1 0 6 bitů
0 1 7 bitů
1 1 8 bitů
1 SBS = „1" 2 stop bity; SBS = „0" 1 stop bit
0 PI = „1" není kontrola ani generace parity; PI = „0" kontroluje a generuje paritu.

Registr: DATA K VYSÍLÁNÍ
Čtení/zápis: IOW
Adresa: 12 (16, 1A, 1E)

BIT	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0

7 až 0 data určená k vysílání. Zápis do tohoto registru nuluje bit 6 = TBRE registru STAV UART.

Registr: NULOVÁNÍ
Čtení/zápis: IOW
Adresa: 13 (17, 1B, 1F)

BIT	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–

7 až 0 bez významu. Zápis do tohoto registru nuluje obvod UART. Po nulování je DR a TBRE = „1".

Obr. 6. Význam datových bitů registrů při zápisu

Programování

Adresace desky DSM-1

Deska DSM-1 má čtyři adresy pro zápis (obr. 6) a 3 adresy pro čtení (obr. 7). Zápis do registrů se provádí instrukcí výstupu. Tato instrukce přenese obsah registru přídavného zařízení, jehož adresa je součástí instrukce do akumulátoru mikroprocesoru 8080A. Instrukce vstupu má symbolický název IN a operační kód DB (HEX). Také u této instrukce je druhý byte adresou registru přídavného zařízení. Deska

Registr: STAV MODEMU
Čtení/zápis: IOR
Adresa: 10 (14, 18, 1C)

BIT	7	6	5	4	3	2	1	0
	CTS	DSR	DSD	RL	PE	FE	OE	INTR
		V24						

7 Signál CTS z doporučení V24 „Clear to send"
6 Signál DSR z doporučení V24 „Data set ready"
5 Signál DCD z doporučení V24 „Data carrier detect"
4 Data přijímaná obvodem UART „Recieved input"
3 Parity Error – chyba parity
2 Framing Error – chyba stop bitu
1 Overrun Error – nepřevzetí přijatých dat
0 Interrupt – přerušení

Registr: STAV UART
Čtení/zápis: IOR
Adresa: 11 (15, 19, 1D)

BIT	7	6	5	4	3	2	1	0
	DR	TBRE	1	1	1	1	1	1

7 „Data Ready" – je k dispozici přijmutý znak. Je-li IER = „1", pak se hlásí i přerušení. Bit DR se nuluje přečtením registru PŘIJMUTÁ DATA.
„Transmiter Buffer Register Empty" – vysílací registr UART je prázdný a je možno poslat další znak. Je-li IET = „1", pak se hlásí i přerušení. Bit TBRE se nuluje zápisem dalšího znaku do registru DATA K VYSÍLÁNÍ.
5 až 0 se čte vždy jako „1".

Registr: PŘIJMUTÁ DATA
Čtení/zápis: IOR
Adresa: 12 (16, 1A, 1E)

BIT	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0

7 až 0 přijmutá data. Čtení registru nuluje bit 7 = DR registru STAV UART.

Obr. 7. Význam datových bitů registrů při čtení

DSM-1 má pro volbu adresy propojky, jimiž je možné navolit čtyři adresy desky, takže je možné použít až čtyři desky DSM-1 v systému SAPI-1 (obr. 5).

Význam bitů registrů desky DSM-1

U každého registru je důležitý význam jednotlivých bitů. Proto je v obr. 6 a 7 uveden vždy název registru, zda se registr čte signálem IOR (doprovází instrukci IN), nebo se do registru zapisuje signálem IOW (doprovází instrukci OUT) a adresa registru, která je základní, v závorce další možné adresy registru.

Na obr. 8 a 9 je rozložení součástek na desce DSM-1. Na obr. 10 je horní strana desky s plošnými spoji a na obr. 11 spodní.

Desku lze nejlépe oživovat v přípravku TST-03 (AR řady B č. 1/83). Tlačítky IOR a IOW se překontroluje funkce všech registrů podle obr. 6 a obr. 7. Sériový přenos je možné vyzkoušet, zkratujeme-li na konektoru X_2 špičky *2* a *3*. Je-li nastaven registr řízení obvodu UART, pak stačí data zapisovat na adresu 12 (HEX) tlačítkem IOW a pak je číst z adresy 12 (HEX) tlačítkem IOR. Probíhá-li přenos správně, jsou zapsaná a přečtená data stejná.

Souběžně můžeme překontrolovat funkci registru stavu obvodu UART, kde musí správně pracovat bity D7 a D6. Na obr. 12 je zapojení kabelu pro připojení terminálu Videoton 52 100-C. Tento terminál byl vybrán proto, že má obsazeny všechny signály, která deska DSM-1 obsluhuje. Pro běžné připojení terminálu stačí připojit jen špičky *2, 3, 7* a *1* konektoru X_2 desky DSM-1. I když tento konektor není pro sériový přenos standardní (má být CANON 25 pólů), dodrželi jsme u X_2 alespoň číslování vývodů podle doporučení V24. Na obr. 13 je zapojení kabelu k magnetofonu TESLA K10, který se dodává k systému SAPI-1. Magnetofon musí být upraven tak, aby se zkratováním špiček *2* a *4* jeho konektoru zastavil motor.

Seznam součástek pro desku DSM-1

Integrované obvody

D8E	MAA741
D6E	A110D
D1A, D2A, D4B	MH3205
D1C, D2D	MH3212
D2B, D3B	MH3216
D5B	MH7403
D1B, D4C, D1D, D1E	MH7404
D3A	MH7438
D8D, D5E	MH7474
D7E	UCY7486
D4D	MH7490
D5D, D6D, D7D	MH7493
D6B, D3C	UCY74123
D5C	UCY74132
D2E, D3E	75150PC
D1E	75154PC
D3D	UCY74157
D2C	MHB1012

Polovodičové součástky

V_1	KSY21
V_2	WK 164 12 (optoel. člen)
V_3, V_7, V_8	KA206
V_4	KA222
V_5, V_6, V_9	KZ141

Rezistory (TR 191, 10 %)

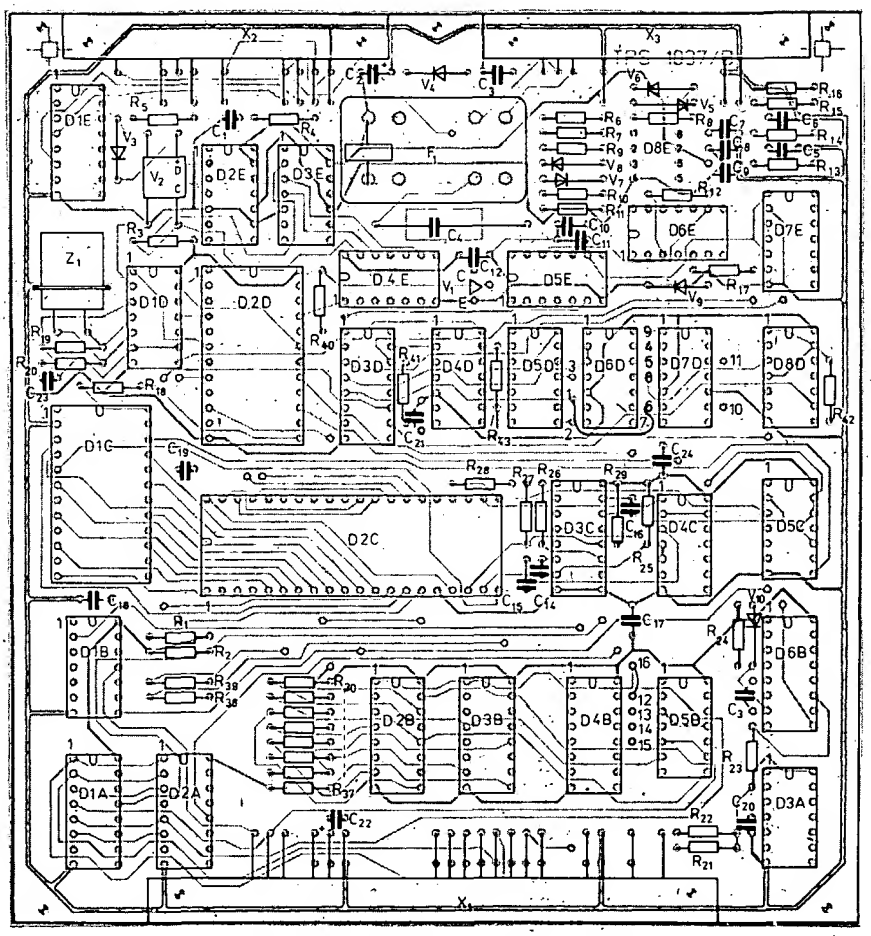
R_1, R_2, R_{18}, R_{27}, R_{28}, R_{30} až R_{39}, R_{41}, R_{43}	10 kΩ
R_3, R_{15}, R_{22}, R_{23}, R_{26}, R_{42}	4,7 kΩ
R_4	3,3 kΩ
R_5	390 Ω
R_6	6,8 kΩ
R_7, R_9, R_{11}, R_{40}	1 kΩ
R_8	1 MΩ
R_{10}	2,2 kΩ
R_{12}, R_{14}, R_{21}, R_{24}	47 kΩ
R_{13}	220 Ω
R_{16}, R_{44}	100 Ω
R_{17}	470 Ω
R_{19}, R_{20}	1,2 kΩ
R_{25}, R_{29}	22 kΩ

Kondenzátory

C_1, C_5	1,5 nF, TK 745
C_2, C_{10}	2,2 µF, TE 123
C_3, C_7, C_8, C_9, C_{11}, C_{12}, C_{15}, C_{17}, C_{18}, C_{21}, C_{24}	47 nF, TK 783
C_4	1 µF, TC 215
C_6	4,7 nF, TK 783
C_{13}	1 µF, TE 125
C_{14}, C_{16}, C_{20}	220 pF, TK 795
C_{19}	15 nF, TK 783
C_{22}	6,8 µF, TE 121
C_{23}	100 pF, TK 795

Ostatní součástky

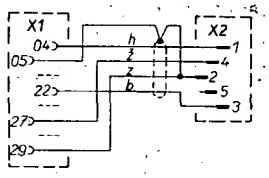
X_1	vidlice FRB, 62 pólů, klíč C6, TY517 5211
X_2	vidlice FRB, 30 pólů, klíč A2, TY513 3011
X_3	vidlice FRB, 30 pólů, klíč B1, TY513 3011
piezoel. krystalová jednotka 12 288 kHz, 15Z64	
F_1	relé 12 V, 2 přep. kontakty, RP 210 2P 12 V



Obr. 8. Rozložení součástek na desce DSM-1

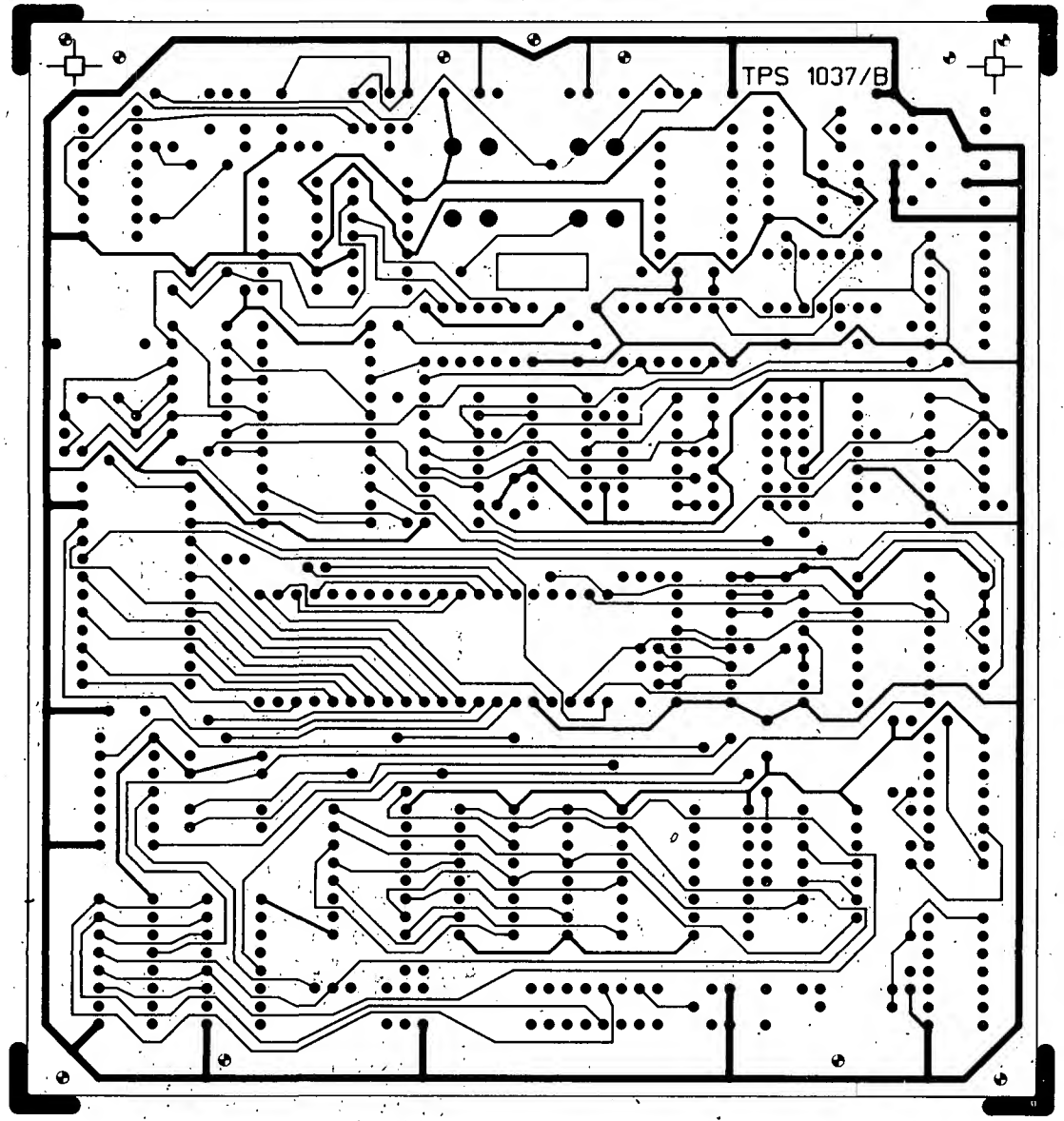
Připojení obrazovkového terminálu VIDEOTON 52 100-C					
Signál	DSM-1 X2 FRB 30Z/A2	Konektor VIDEOTON	Označení CCITTT V24	Název	Směr k terminálu
zem	01	A25	101	ochranná zem	–
0 V	07	A24	102	signálová zem	–
TD	02	A22	103	vysílaná data	do
RD	03	A21	104	přijímaná data	z
RTS	04	A10	105	výzva k vysílání	do
CTS	05	A13	106	pohotovost k vysílání	z
DSR	06	A14	107	pohotovost terminálu	z
DTR	20	A16	108	pohotovost SAPI-1/DSM-1	do
DCD	08	A12	109	detektor přij. signálu	z
Pro připojení možno použít např. plochý vodič PNLY 9 × 0,15.					

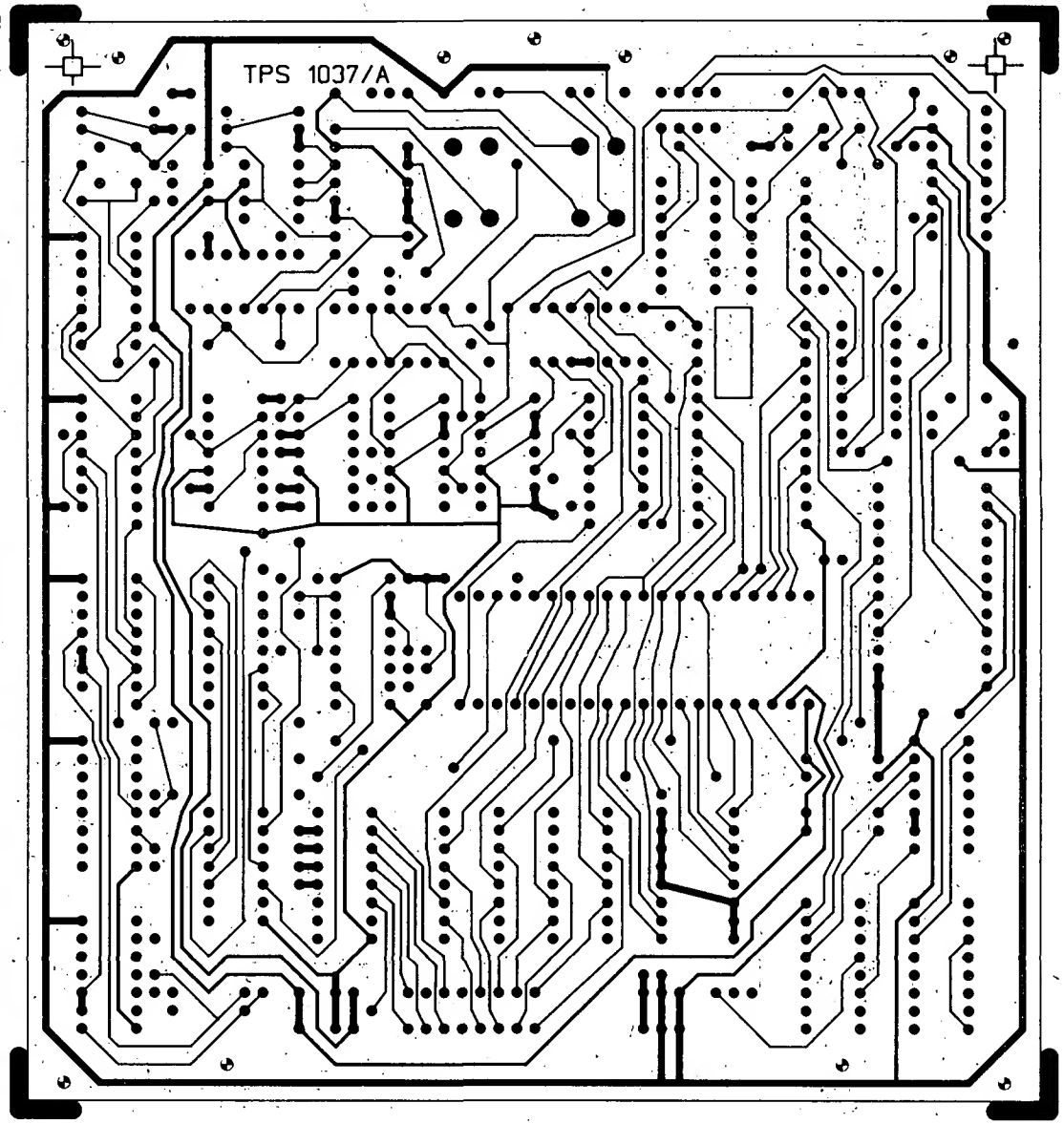
Obr. 12. Zapojení kabelu pro terminál



Obr. 13. Zapojení kabelu pro magnetofon

Obr. 9. Deska DSM-1 (viz druhou stranu obálky)





Obr. 10. Horní strana desky s plošnými spoji (DSM-1)

Všechny desky s plošnými spoji v tomto čísle AR B jsou v měřítku 1:1

Obr. 11. Spodní strana desky s plošnými spoji (DSM-1)

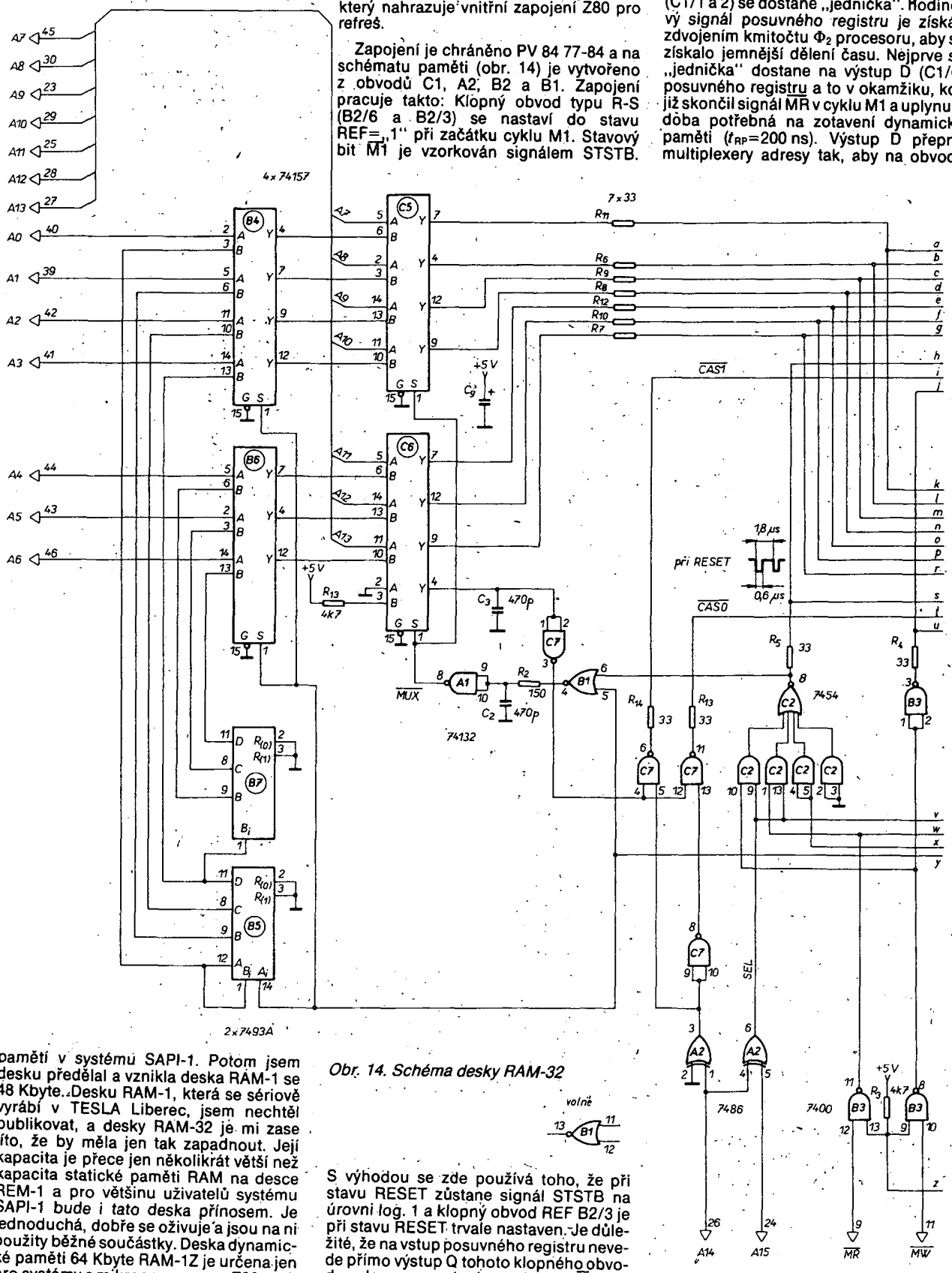
Deska RAM-32

Jak je vidět z názvu desky, není RAM-32 standardní součástí systému SAPI-1. Desku se 32 Kbyte dynamické paměti jsem udělal pro ověření funkce dynamických paměti v systému SAPI-1. Potom jsem desku předělal a vznikla deska RAM-1 se 48 Kbyte. Desku RAM-1, která se sériově vyrábí v TESLA Liberec, jsem nechtěl publikovat, a desky RAM-32 je mi zase líto, že by měla jen tak zapadnout. Její kapacita je přece jen několikrát větší než kapacita statické paměti RAM na desce REM-1 a pro většinu uživatelů systému SAPI-1 bude i tato deska přínosem. Je jednoduchá, dobře se oživuje a jsou na ni použity běžné součástky. Deska dynamické paměti 64 Kbyte RAM-1Z je určena jen pro systémy s mikroprocesorem Z80 a tak nebýt desky RAM-32, nebyla by v tomto čísle publikována žádná velká paměť pro JPR-1.

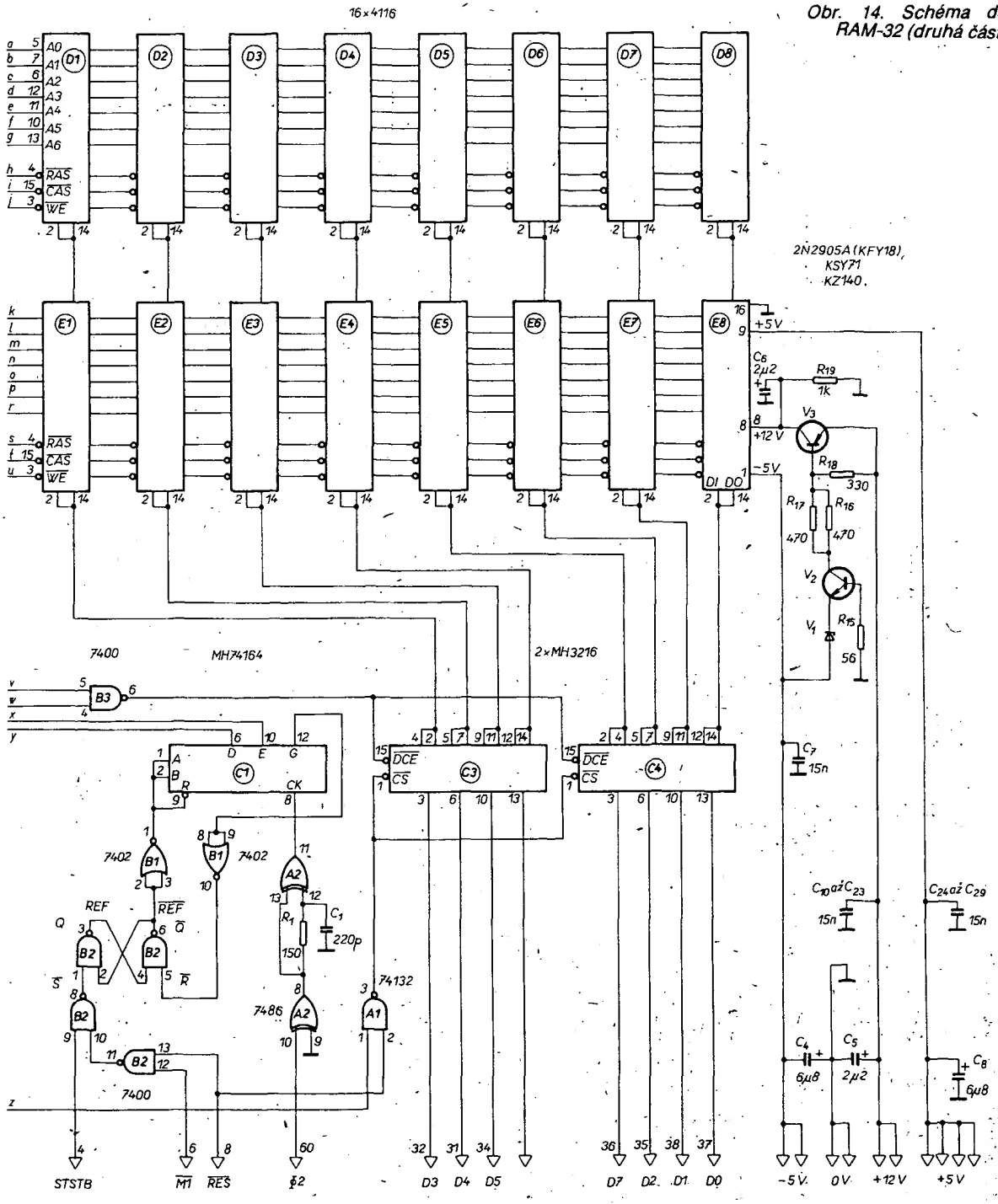
Popis zapojení desky

Deska RAM-32 je nejjednodušší aplikací dynamických pamětí u systémů s mikroprocesorem 8080A. Podobně byly zapojeny rozšiřovací moduly pamětí RAM pro systémy ZX-81. Jedinou zvláštností je zde obvod zajišťující refreš v cyklu M1, který nahrazuje vnitřní zapojení Z80 pro refreš.

Zapojení je chráněno PV 84 77-84 a na schématu paměti (obr. 14) je vytvořeno z obvodů C1, A2, B2 a B1. Zapojení pracuje takto: Klopný obvod typu R-S (B2/6 a B2/3) se nastaví do stavu REF=„1" při začátku cyklu M1. Stavový bit $\overline{M1}$ je vzorkován signálem STSTB. S výhodou se zde používá toho, že při stavu RESET zůstane signál STSTB na úrovni log. 1 a klopný obvod REF B2/3 je při stavu RESET trvale nastaven. Je důležité, že na vstup posuvného registru nevede přímo výstup Q tohoto klopného obvodu, ale negovaný výstup (B2/6) $\overline{Q}$ přes invertor B1/1. Zapojení využívá zakázaného stavu u klopných obvodů R-S, při němž je na nastavovacím vstupu (B2/1) i nulovacím vstupu (B2/5) úroveň log. 0. Pak výstup $\overline{Q}$ „poslouchá" vstup B2/5 a po skončení jednoho cyklu se posuvný registr 74164 (C1) vynuluje a hned začne další cykl. Tímto způsobem je zajištěn refreš při stavu RESET. Jinak probíhá refreš tak, že na začátku cyklu M1 se přestane nulovat posuvný registr a na jeho sériový vstup (C1/1 a 2) se dostane „jednička". Hodinový signál posuvného registru je získán zdvojením kmitočtu Φ_2 procesoru, aby se získalo jemnější dělení času. Nejprve se „jednička" dostane na výstup D (C1/6) posuvného registru a to v okamžiku, kdy již skončil signál $\overline{MR}$ v cyklu M1 a uplynula doba potřebná na zotavení dynamické paměti (t_{RP}=200 ns). Výstup D přepne multiplexery adresy tak, aby na obvody



Obr. 14. Schéma desky RAM-32



Obr. 14. Schéma desky RAM-32 (druhá část)

MHB4116 prošla adresa z refreše čítače (B5, B7). O „jedny hodiny" později se objeví jednička na výstupu E (C1/10) posuvného registru a ta vytvoří signál RAS, který zajistí refreš na adrese dané čítačem. O dva hodinové impulsy později se objeví jednička na výstupu G (C1/12) a ta přes invertor B1/10 vynuluje klopný obvod REF a pak celý posuvný registr. Týlovou hranou impulsu na výstupu D posuvného registru se inkrementuje čítač, aby příští refreš proběhl na další adrese.

Dekodér adresy je na desce RAM-32 tvořen hradlem 7486 (EX-OR). Výstup hradla A2/6 generuje signál SEL, který má úroveň log. 1 jen tehdy, jsou-li odlišné adresové bity A14 a A15. Paměť je tedy „posazena" pevně jako 2. a 3. čtvrtina adresového prostoru 64 Kbyte. První adresa paměti je 4000 (HEX) a to je pro JPR-1 a MICROBASIC správné. Je-li signál SEL=„1", pak signály $\overline{MR}$ a $\overline{MW}$ generují přímo $\overline{RAS}$ (C2/8), po zpoždění se generuje signál MUX a po dalším zpoždění signál $\overline{CAS}$ 0 nebo $\overline{CAS}$ 1. Popis předávání adresy dynamickým pamětem pomocí RAS a CAS je u desky RAM-1Z.

Přepínání adres mezi třemi zdroji (čítačem refreše, spodními adresami a horními adresami) zajišťují multiplexery B4, B6, C5 a C6.

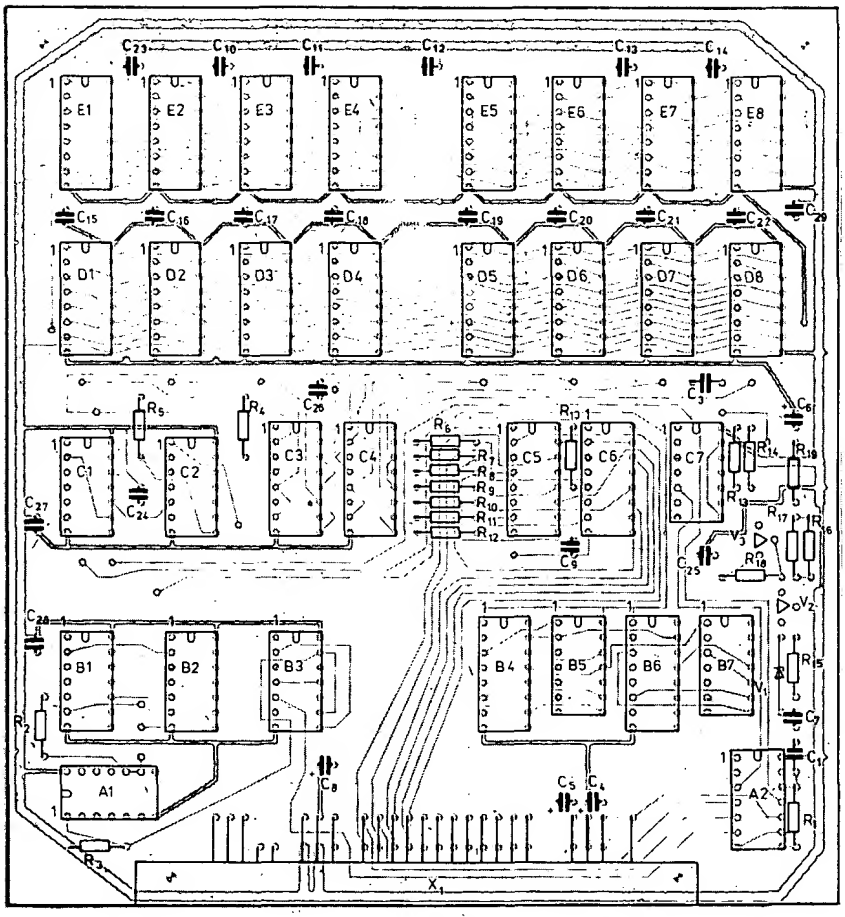
Oživení desky na přípravku TST-03 je jednoduché, pouze obvody refreše je lépe oživit až v počítači, protože potřebujeme reálný hodinový signál Φ_2.

Na obr. 15 a 16 je rozložení součástek na desce RAM-1. Upozorňuji na to, že existovala pracovní předloha desky s plošnými spoji pro tuto desku a na ní byly všechny obvody MHB4116 „vzhůru nohama" (výřezem obráceně). Potom jsem předlohu předělal, protože se mi nelíbila. Obě předlohy lze rozeznat na první pohled, ale raději na to upozorňuji, protože původní předloha koluje mezi „mikroprocesorovým lidem".

Na obr. 17 je horní strana desky s plošnými spoji a na obr. 18 je spodní strana.

Seznam součástek pro desku RAM-32

Integrované obvody	
B2, B3, C7	MH7400
B1	7402PC
A2	7486PC
B5, B7	MH7493A
C2	MH7454
B4, B6, C5, C6	74157PC
C1	MH74164
A1	UCY74132
C3, C4	MH3216
D1 až D8, E1 až E8	MHB4116
Rezistory (TR 191, 10 %)	
R_1, R_2	150 Ω



Obr. 15. Rozložení součástek na desce RAM-32

Obr. 16. Deska RAM-32 (viz 2. str. obálky)

R_3	4,7 kΩ
R_4, R_5, R_6 až R_{14}	33 Ω
R_{15}	56 Ω
R_{16}, R_{17}	470 Ω
R_{18}	330 Ω
R_{19}	1 kΩ

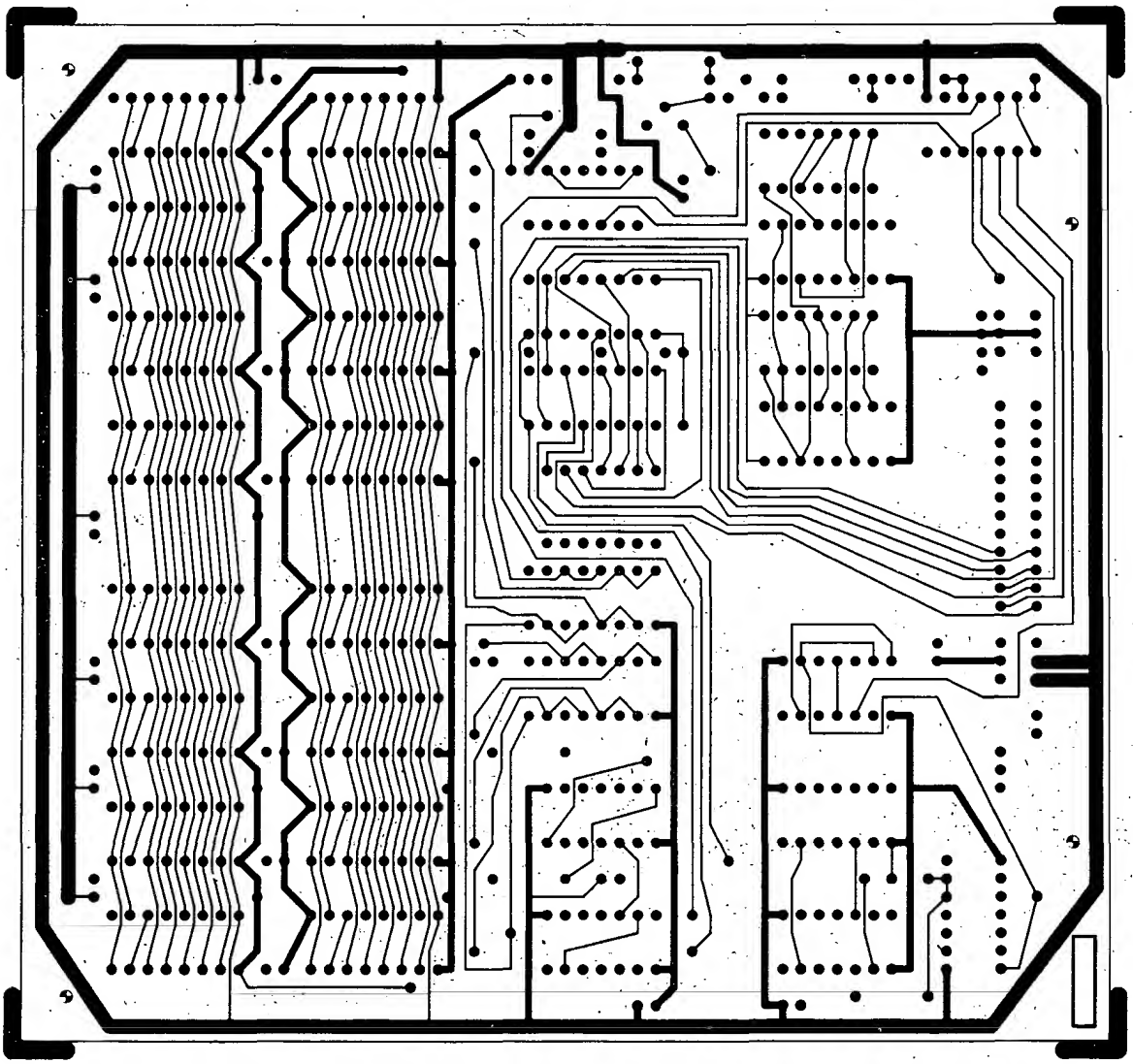
Kondenzátory

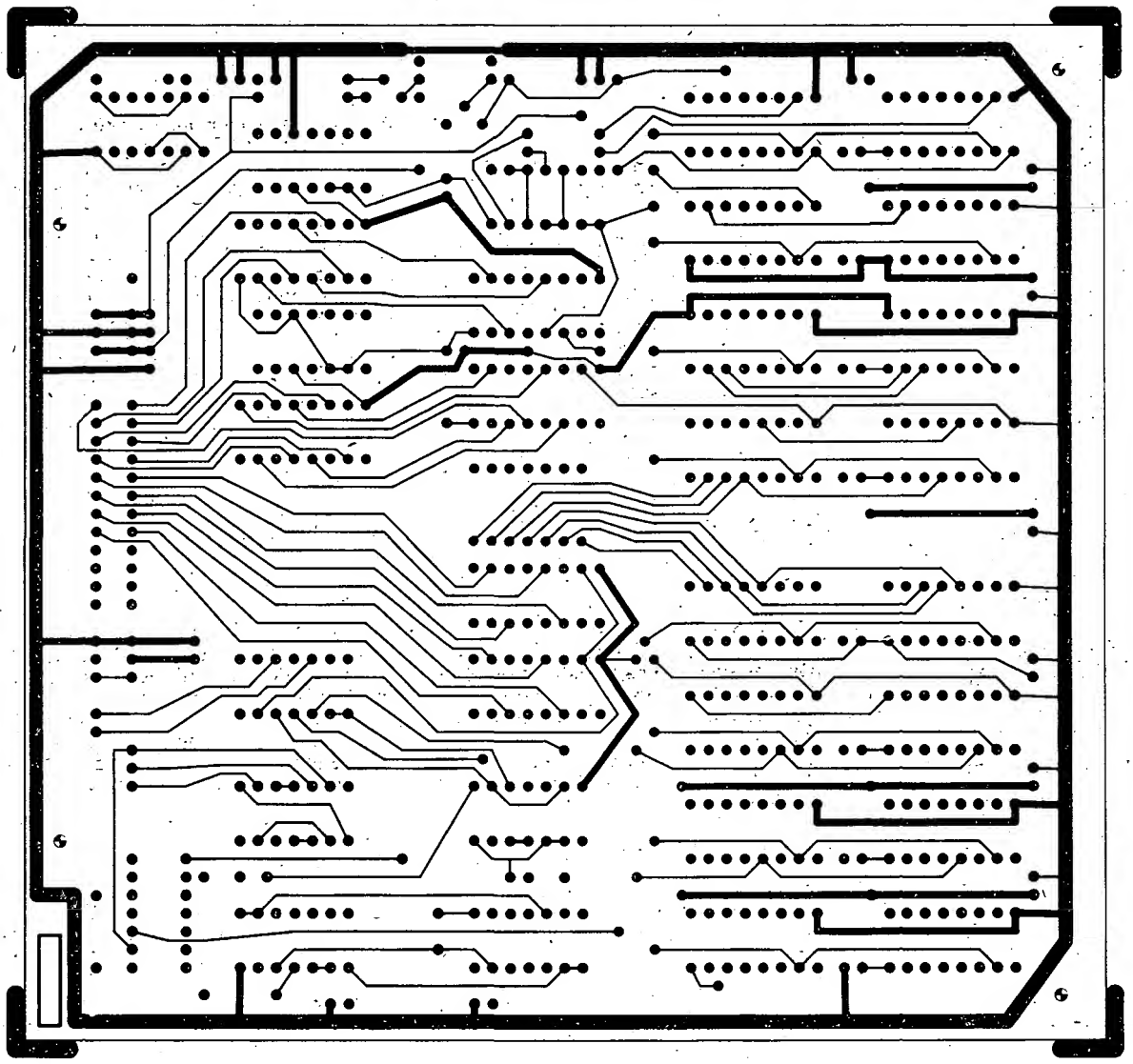
C_1	220 pF, TK 795
C_2, C_3	470 pF, TK 795
C_4, C_8	6,8 µF, TE 121
C_5, C_6	2,2 µF, TE 123
C_7, C_9 až C_{29}	15 nF, TK 783

Ostatní součástky

dioda KZ140 (V_1)
tranzistor KSY71 (V_2)
tranzistor 2N905A (V_3)
konektor FRB TY517 6211 (X_1)

Obr. 17. Deska s plošnými spoji RAM-32, horní strana





Obr. 18. Deska s plošnými spoji RAM-32, dolní strana

Mikropočítačový vývojový systém JPR-1Z

Úvod

Přiznávám, že patřím mezi konzervativní vývojáře. Nerad se pouštím do něčeho nového, pokud to staré ještě splňuje průměrné požadavky doby. Prakticky od počátku vývoje JPR-1 do mne můj dvorní programátor Honza Mercl hučel, že by měl mít systém možnost provozovat operační systém CP/M a další radili, abych použil mikroprocesor Z80. Já jsem však stavěl malý jednoduchý mikropočítač a MICROBASIC a 8080A bylo zrovna to, co jsem potřeboval. Nedostatek jednočipových řadičů flopydisku mě utvrzoval v tom, že tak malý systém nebude mít vhodný řadič disku, a proto jsem o operačním systému CP/M neuvažoval. Po definování sběrnice a jejím rozšíření mezi uživatele jsem si nemohl dovolit měnit signály tak, aby byla možná přeadresace paměti, nutná pro systém CP/M. Řadič flopydisku lze ovšem navrhnout i bez jednočipového kontroléru, ale obvykle je nutné použít buď hodně integrovaných obvodů (asi 100), nebo řešit řadič pomocí obvodů MH3000 (SM 50/40, MIRIS). Obě řešení mně nebyla cizí, protože jsem realizoval řadič RFD pro počítač JPR-12R z běžných obvodů i řadič disku a magnetické pásky pro JPR-12R ze stavebnice obvodů řady 3000. Uvedená řešení však z hlediska velikosti desek systému SAPI-1 a požadavku na energii ze zdroje nebyla pro systém přijatelná.

Po dvou letech přemýšlení se mi však podařilo navrhnout řadič flopydisku z dostupných součástek a s přijatelnými rozměry. První funkční vzorek řadiče byl pouze pro disky o průměru 5,25" a vešel se na jednu desku systému. Většina funkcí byla řízena programově mikropočítačem JPR-1. Řadič pracoval dobře, ale nereagoval zcela správně na všechny možné stavy a havárie. Při obsluze disku je nutné nejen stačit přenášet data, ale ještě hledat chyby a umět se po nich správně zachovat. Protože naším cílem bylo používat disky o průměru 8" s přenosovou rychlostí 32 µs na jeden byte, bylo nutné řadič předělat a odstranit závady z funkčního vzorku. Tak vznikl dvoudeskový řadič RPD-1, schopný obsloužit dva disky 5,25" nebo dva disky 8". To, že vznikl řadič flopydisku pro SAPI-1, ještě nebylo pro mne tak důležité, abych začal pracovat na systému pro CP/M. Rozhodující pro vznik flopydiskového systému s procesorem JPR-1A byl nedostatek programů. Dva roky jsem neměl pro SAPI-1 nic jiného než MIKROBASIC. Ono napsat nebo opsat program to ještě jde, ale zdokumentovat ho tak, aby byl prodejný, to není jednoduché. A skutečně se nenašel nikdo, kdo by upravil pro SAPI-1 velký BASIC a další potřebné programy. Myslím, že hlavní příčinou byly peníze. Neměl jsem totiž možnost tuto práci dobře zaplatit. A tak jsem udělal za tři týdny desku JPR-1A, která bez jakékoli změny sběrnice umí systém CP/M. Honza za ještě kratší dobu napsal potřebné programy a rutiny. S příchodem CP/M jsem se již nemusel doprošovat „pánů" programátorů, ani ve Svazarmu, ani jinde. Pod CP/M nám dnes pracují programy z celého světa i programy ze systému SM 50/40 a Slušovic. Jeden program nám však nepracoval a to TURBO PASCAL. Ten je napsán v kódu mikroprocesoru Z80. Proto jsme udělali desku JPR-1Z s mikroprocesorem Z80. Další podmínkou pro vznik celého systému 1Z bylo to, že jsem nechtěl popisovat v AR řady B desky sériově vyráběné, ale chtěl jsem uživatele systému SAPI i ostatní zájemce o mikroelektroniku přenést opět před současný stav vývoje i výroby, jako tomu bylo u JPR-1. Vznikl tak systém s příponou 1Z (nebo chcete-li TURBO systém, protože vznikl na základě jediného programu, který jsme chtěli na našem systému také mít). Systém jsme doplnili řadičem flopydisku s obvodem 8271 a s přenosem DMA, dále pamětí 64 Kbyte, deskou simulátoru a programátoru pamětí EPROM a displejem podobným, jako mají systémy VG 3000, TRS-80 a TNS. Displejem jsme doplnili systém o českou abecedu, malá písmena a o semigrafiku. Systém, se kterým se seznámíte, je asi poslední úpravou systému SAPI-1. Rozšíření šestnáctibitových mikropočítačů kompatibilních s IBM PC nás natolik láká,

že se začíná rodit systém JPR-2 s novou sběrnicí a novými deskami. Ale o něm až tak za dva roky na stránkách tohoto časopisu. Jak jsem říkal, jsem konzervativní, ale snad ne moc.

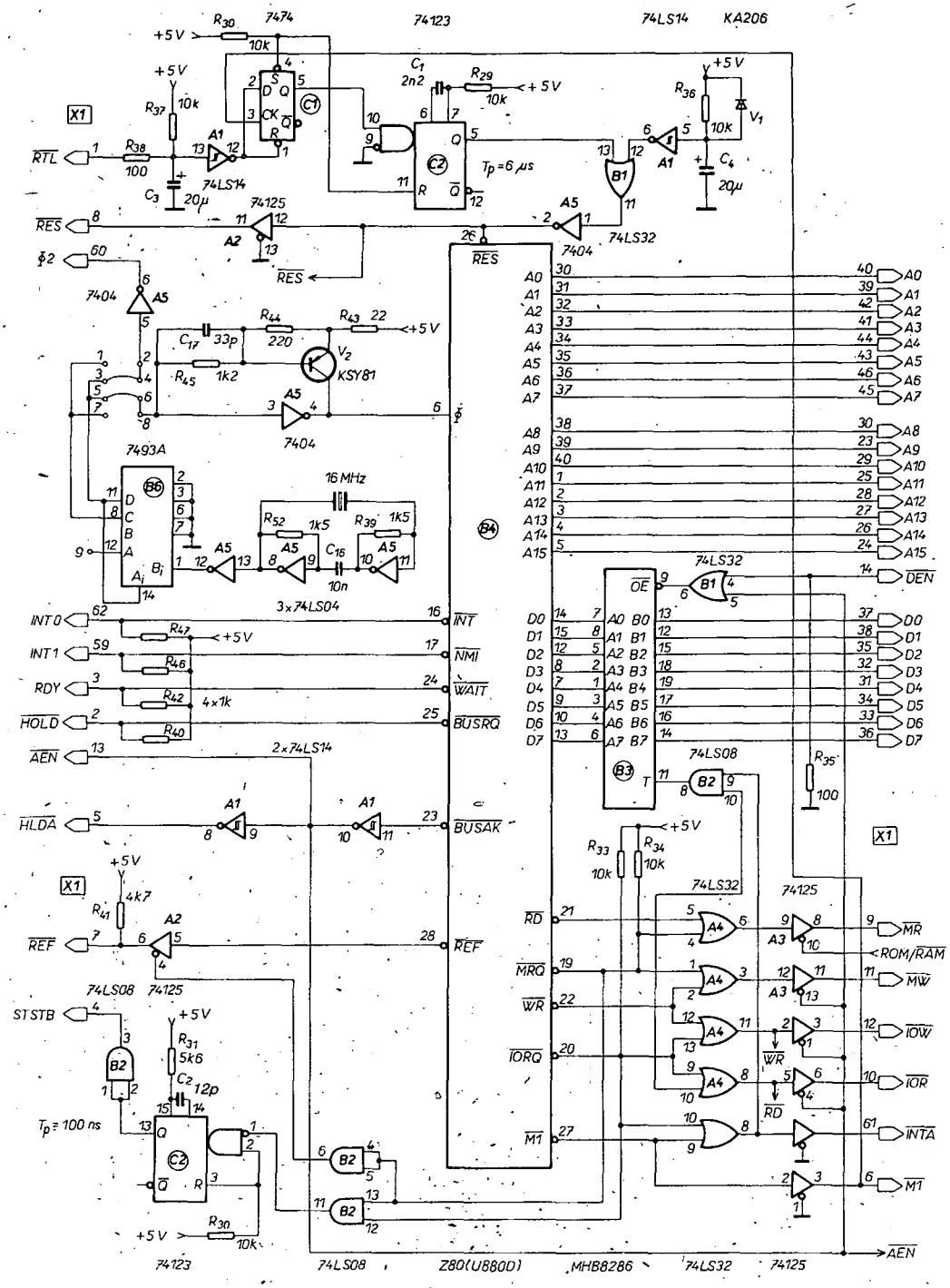
Deska procesoru, JPR-1Z

Deska procesoru JPR-1Z vychází z desky JPR-1A. Tyto dvě desky jsou v mikropočítači zcela zaměnitelné. Deska již není jednodeskový mikropočítač, jako tomu bylo u JPR-1. Na desce JPR-1Z již není paměť RAM a proto sama o sobě nemůže tato deska pracovat. Procesor JPR-1Z je určen do systémů, které používají operační systém CP/M. Oproti desce JPR-1A, na které je použit mikroprocesor MHB8080A, je na desce JPR-1Z mikroprocesor Z80. Mikroprocesor Z80 má rozšířený soubor instrukcí a existuje část programů pracujících pod CP/M, vyžadující právě soubor instrukcí Z80. Jinak nepřináší deska JPR-1Z oproti JPR-1A žádné výhody, neboť musela být dodržena sběrnice i rychlost procesoru.

Schéma zapojení desky JPR-1Z

Schéma desky je rozděleno na tři části. Část první (obr. 19) obsahuje mikroprocesor a přídavné obvody pro hodiny a připojení na sběrnici. Část druhá (obr. 20) obsahuje porty a jak uvidíte sami, neliší se příliš od původní desky JPR-1, část třetí (obr. 21) obsahuje dekodéry adres a paměť EPROM.

Srdcem desky je mikroprocesor Z80 nebo U880D z NDR. Kmitočet hodinového signálu procesoru je 2 MHz. Hodinový signál vzniká v krystalovém oscilátoru tvořeném obvody A5/10 (obvod A5, výstup *10*) a A5/8. Po vytvarování hodinových impulsů obvodem A5/12 je kmitočet oscilátoru dělen čítačem B6. Ve schématu je předepsán čítač MH7493A, je však možno použít i krystal 10 MHz a pak je nutné osadit čítač v pozici B6 obvodem MH7490A. Čítač se pak zapojí jako dělič 5:1. Při použití předepsaného krystalu 16 MHz dělí dělič 8:1. Při použití krystalu 8 MHz musí dělič dělit 4:1. Je možné zapojit výstupy děliče i tak, že na sběrnici jde signál hodinového kmitočtu 2 MHz a do procesoru 4 MHz. V tomto zapojení však nebyl procesor SAPI-1 vyzkoušen. Hodinový signál procesoru je tvarován na potřebnou úroveň zapojením doporučovaným v katalogu. Tvarovací obvod je tvořen tranzistorem V_2 a invertorem A5/4. V podstatě jde o to, aby úroveň hodinové-



Obr. 19. Schéma JPR-1Z, část 1, procesor

ho signálu do procesoru byla při log. 1 vyšší, než zaručují obvody TTL.

Dalším samostatným obvodem na desce procesoru je generátor signálu RESET. Signál RESET se odvozuje od zapnutí napájení a od signálu RTL, který značí, že bylo stlačeno tlačítko RESET. Zapojení je opět převzato z katalogu a zajišťuje zkrácení signálu RESET od tlačítka, aby nebyla ohrožena činnost dynamických pamětí v systému. Při dlouhém signálu RESET by se přerušil refreš a paměť by ztratila svůj obsah. Délka signálu RESET, vyráběného monostabilním obvodem C2/5, je stanovena s ohledem na požadovanou délku signálu RESET pro obvod řadiče flopydisku I8271. Signál RESET také nuluje porty na desce JPR-1Z.

Signály WAIT a BUSRQ jsou pouze přejmenovány a ošetřeny rezistory, připojenými na +5 V a vyvedeny na sběrnici jako RDY a HOLD. Potvrzení žádosti o zapůjčení sběrnice při DMA je vedeno z procesoru jako BUSAK (B4/23) a invertováno. Vznikne tak signál AEN (povolení adresy), který je jednak veden na sběrnici a jednak řídí třístavové vysílače 74125, které generují řídicí signály sběrnice, a dále otevírá zesilovač datových signálů B3. Signál AEN je pak znovu invertován a vyveden na sběrnici jako HLDA (potvrzení DMA).

Protože jsme chtěli použít u systému JPR-1Z speciálně vyvinutou paměť DRAM, vyvedli jsme na špičku 7 konektoru X_1 signál REF, který je obvodem A2/6 vynásoben signálem MRQ. Na této špičce sběrnice ARB-1 je jinak běžně definován signál IEN (povolení přerušení), kterého však u systémů SAPI-1 nikde nevyužíváme.

Pro správnou funkci některých desek systému bylo nutno vyrobit signál STSTB, který mikroprocesor Z80 nemá. Signál je vyráběn monostabilním obvodem C2/13 z počátku aktivace signálu MRQ. Je důležité, aby STSTB nebyl příliš „široký", proto je doporučená šířka 100 ns.

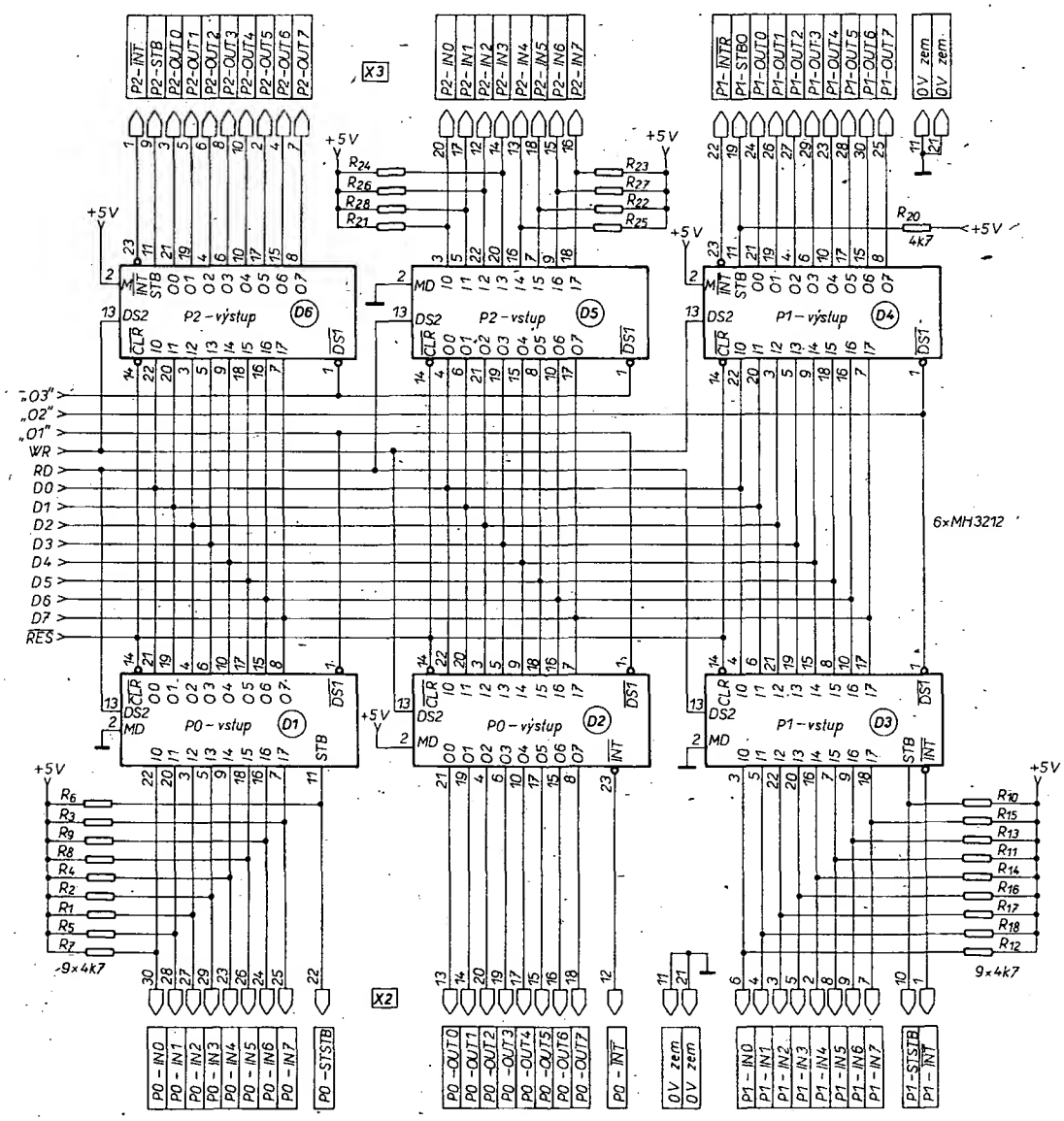
Pro dodržení již definované sběrnice bylo nutné získat ze signálů Z80 standardní řídicí signály mikroprocesoru 8080A (MR, MW, IOR, IOW a INTA). Signály jsou překódovány hradly OR 74LS32 a potom jsou od sběrnice odděleny třístavovými zesilovači 74125 (A3, A2). Jak uvidíme dále, liší se řízení vysílače signálu MR (A3/8) od ostatních.

Protože u mikroprocesoru Z80 není obvod podobný obvodu 8228, bylo nutné zesílit data vysílaná na sběrnici obvodem MHB8226 (B3).

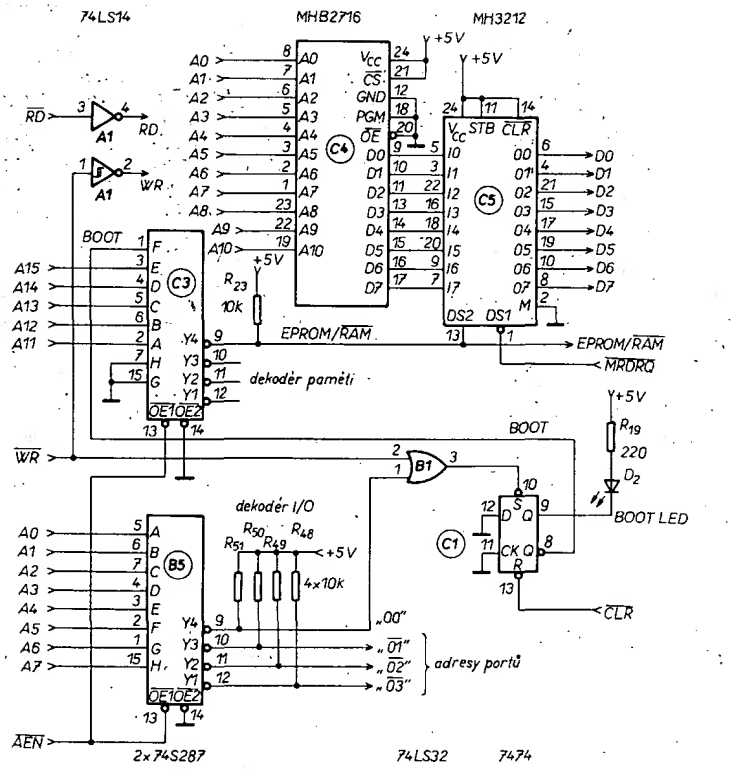
Druhá část schématu obsahuje porty, které jsou tvořeny šesti obvody MH3212. Tři porty jsou vstupní a tři výstupní a zapojení adresy konektoru bylo dodrženo podle desky JPR-1. Rozdíl je v tom, že na desce JPR-1Z jsou porty adresovány jako I/O (IOR a IOW).

Třetí část schématu (obr. 21) zobrazuje dekodéry adres a paměť EPROM. Dekodér adresy vyšel složitější než u desky JPR-1A. Mikroprocesor 8080A vysílá adresu portů jak po spodních adresách, tak po horních. Proto u něj stačí jeden dekodér hlídající horních 8 adres dekódovat jak porty, tak paměť. Na desce JPR-1Z jsou dvě paměti PROM ve funkci dekodéru adres. Paměť MH74S287 (B5) dekóduje adresy periférií. Vybírá adresu 0 pro přepínání tzv. klopného obvodu BOOT, a dále adresy 1, 2 a 3 pro porty P0, P1 a P2. Dekodér je blokován signálem AEN, aby nereagoval na adresy při přenosu DMA.

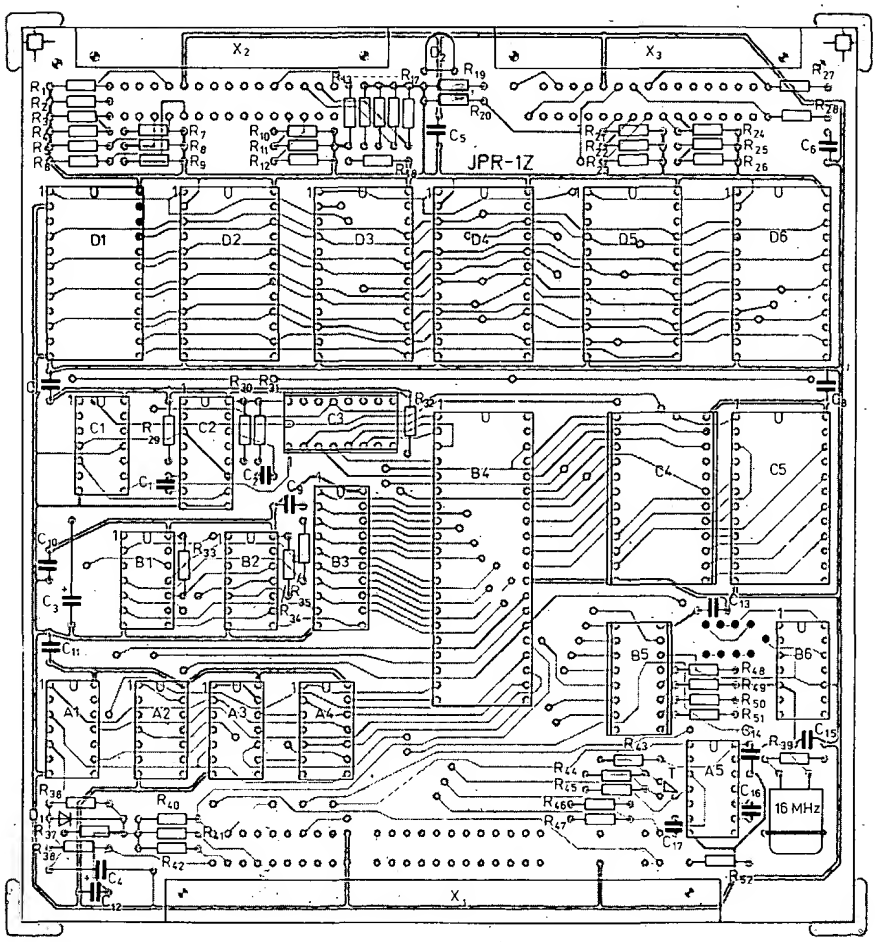
Paměť MH74S287 (C3) dekóduje adresu paměti po oblastech 2 Kbyte. Do dekodéru adresy je zaveden také signál BOOT, takže je možné, aby se adresace paměti měnila v závislosti na stavu klopného obvodu BOOT. Tento klopný obvod (C1/9) je po zapnutí nebo po stlačení tlačítka RESET nastaven do stavu BOOT = „1". Dekodér paměti je naprogramován tak, že



Obr. 20. Schéma JPD-1Z, část 2, porty



Obr. 21. Schéma JPR-1Z, část 3, dekodéry adres a BOOT EPROM



Obr. 22. Rozložení součástek na desce JPR-1Z

Obr. 23. Deska JPR-1Z (viz třetí stranu obálky)

74LS00	K555LA3
74LS04	K555LN1
74LS08	K555LI1
74LS02	K555LE1
74LS32	K555LL1
74LS14	K555TL2
74LS85	K555SP1
74LS138	K555ID7
74LS174	K555TM9
74125	K155LP8
74173	K155IR15

Obr. 24. Ekvivalenty SSSR obvodů řady 74, použitých v tomto čísle

pro BOOT = „1" povoluje pro adresy 0000 až 07FF (HEX) čtení z paměti EPROM (C4) tím, že aktivuje signálem DS2=1 třístavový zesilovač MH3212 (C5). Současně však pro tuto oblast paměti nedovolí průchod signálu $\overline{MR}$ na sběrnici (A3/10). Tím je pro BOOT paměť konfigurována tak, že první dvě „kila" jsou EPROM (C4) a dalších 62 K může být na sběrnici, ať už jako RAM nebo EPROM. Přitom není přerušen zápis do paměti RAM, která může být pořád adresována na sběrnici od nuly.

Po skončení programu, který zavede operační systém, může být použita instrukce OUT 0 (IOW na adresu 0) a ta způsobí překlopení klopného obvodu C1/9 do stavu BOOT = „0". Dekodér adresy C3 pak je naprogramován tak, že se z paměti EPROM již nečte a je povolen signál $\overline{MR}$ pro celou paměť 64 Kbyte. Pro orientaci je stav BOOT indikován diodou LED, která po „natažení" operačního systému zhasne.

Na obr. 22 a 23 je rozložení součástek na desce JPR-1Z. Na desce jsou použity obvody řady LS. Používáme sovětské obvody řady K555, dodávané k. p. TESLA DIZ. Převodní tabulka sovětských obvodů použitých na deskách, otištěných v tomto čísle AR řady B, je na obr. 24. Používání obvodů řady 74LS se není možno vyhnout. Malé odběry vstupů umožňují lépe využít povolené zátěže signálů sběrnice. Hlavní je však malý odběr proudu obvody řady 74LS z napájecího zdroje.

Většina z vás jistě viděla na výstavách otevřený počítač PMD-85. Osobní počítač v tak malém prostoru bez ventilátoru, postavený na obvodech běžné řady 74, se jen těžko „uchladí". S rostoucí teplotou se velmi rychle zmenšuje spolehlivost všech součástek. Počítač třídy IBM PC již dokonce nebude možno bez obvodů řady 74LS vyrábět ve stolním provedení.

Z těchto důvodů jsme u systému SAPI-1 začali používat sovětské obvody řady K555. Některé obvody této řady se ani v řadě našich obvodů nevyskytují (hradlo OR 74LS32, tvarovač 74LS14) a jistě uznáte, že bez těchto obvodů se výpočetní technika dělat nedá. TESLA Rožnov zapomněla na řadu obvodů TTL a již úplně pozapomněla na řadu 74LS. Konstruktéři systémů SMEP a JSEP, kteří by měli klást požadavky na další směry rozvoje integrovaných obvodů pro výpočetní techniku, tak nečiní. Je sice pravda, že jsme dosáhli velkého pokroku ve výrobě obvodů VLSI v technologii NMOS a že jsme začali vyrábět obvody řady CMOS a barevnou obrazovku. Co je to však platné, když nejvíce používanými součástkami pro mikropočítače jsou právě obvody řady 74LS. Třístavové budiče, registry a běžná hradla této řady pak umožňují, aby se dalo konstruovat na desky rozměrů Eurokarty,

	Zapojení konektoru				Systém JPR-1		
Č.	Signál	Název	Typ	Č.	Signál	Název	Typ
1	$\overline{RTL}$	tlačítko RESET	INP	2	$\overline{HOLD}$	žádost o DMA	IN
3	RDY	READY	INP	4	STSTB	začátek cyklu	OUT
5	$\overline{HLDA}$	potvrzení pro DMA	OUT	6	$\overline{M1}$	příznak cyklu M1	OUT
7	$\overline{REF}$	refreš	OUT	8	$\overline{RES}$	nulování systému	OUT
9	$\overline{MR}$	čtení z paměti	OUT	10	$\overline{IOR}$	čtení z portu	OUT
11	$\overline{MW}$	zápis do paměti	OUT	12	$\overline{IOW}$	zápis do portu	OUT
13	$\overline{AEN}$	povolení adres	OUT	14	$\overline{DEN}$	povolení dat	INP
15	+5 V	napájení	NAP	16	+5 V	napájení	NAP
17	+5 V		NAP	18	+5 V		NAP
19	0 V	zem	NAP	20	0 V	zem	NAP
21				22			
23	A9	adresa	OUT	24	A15	adresa	OUT
25	A11		OUT	26	A14		OUT
27	A13		OUT	28	A12		OUT
29	A10		OUT	30	A8		OUT
31	D4	data	BD	32	D3	data	BD
33	D6		BD	34	D5		BD
35	D2		BD	36	D7		BD
37	D0		BD	38	D1		BD
39	A1	adresa	OUT	40	A0	adresa	OUT
41	A3		OUT	42	A2		OUT
43	A5		OUT	44	A4		OUT
45	A7		OUT	46	A6		OUT
47				48			
49				50			
51				52			
53	0 V	zem	NAP	54	0 V	zem	NAP
55				56			
57				58			
59	$\overline{INT1}$	$\overline{NMI}$ Z80	INP	60	2	hodiny 2 MHz	OUT
61	$\overline{INTA}$	potvrzení přeruš.	OUT	62	$\overline{INTO}$	$\overline{INT}$ Z80	INP

Číslo konektoru: X_1
Deska/zařízení: JPR-1Z
Klíčování: F3

Konektor: TY 517 62 11
Protikus: TX 518 62 12

INP – vstupní
BD – obousměrný
OUT – výstupní
NAP – napájení

Obr. 25. Zapojení konektoru X_1 desky JPR-1Z

a aby se nemusely dělat velké napájecí zdroje, které u nás navíc musí být ještě předimenzovány pro zkoušky podle platných norem. Řada těchto obvodů je nenahraditelná. Zkuste postavit třeba desku displeje, když nemáte 74LS165, 74LS373, 74LS161 atd. Některé typy lze nahradit použitím dvou obvodů, některé lze nahradit typy z řady 74. Protože však naše řada 74 je velmi chudá (skončila u čítačů), budete mít potíže „znásilnit" čítače 74193, aby čítaly synchronně i při krácení cyklu (viz AND-1Z) a nakonec bude konstrukce velmi složitá a ještě to budou „kamínka". TESLA Rožnov započala vývoj řady ALS. Já osobně jsem takové špičkové obvody ještě v žádné zahraniční konstrukci neviděl a řada 74LS díky širokému výběru obvodů a díky kompatibilitě s obvody řady CMOS zůstane ještě nejméně 10 let ve světě základem všech konstrukcí osobních počítačů a malé výpočetní techniky. Díky dodávkám sovětských obvodů řady K555 a řady K155 máme dnes možnost širšího výběru obvodů TTL. Není to však úplně bez problémů.

	Zapojení konektoru				Systém JPR-1		
Č.	Signál	Název	Typ	Č.	Signál	Název	Typ
1	P1-$\overline{INT}$	vstupní port P1	OUT	2	P1-IN4	vstupní port P1	IN
3	P1-IN2		IN	4	P1-IN1		IN
5	P1-IN3		IN	6	P1-IN0		IN
7	P1-IN7		IN	8	P1-IN5		IN
9	P1-IN6		IN	10	P1-STB		OUT
11	0 V	zem	NAP	12	P0-$\overline{INT}$	výstupní port P0	OUT
13	P0-OUT0	výstupní port P0	OUT	14	P0-OUT1		OUT
15	P0-OUT5		OUT	16	P0-OUT6		OUT
17	P0-OUT4		OUT	18	P0-OUT7		OUT
19	P0-OUT3		OUT	20	P0-OUT2		OUT
21	0 V		NAP	22	P0-STB		IN
23	P0-IN4	vstupní port P0	INP	24	P0-IN6	vstupní port P0	IN
25	P0-IN7		INP	26	P0-IN5		IN
27	P0-IN2		INP	28	P0-IN1		IN
29	P0-IN3		INP	30	P0-IN0		IN

Číslo konektoru: X_2
Deska/zařízení: JPR-1Z
Klíčování: F-3

Konektor: TY 513 30 11
Protikus: TX 514 30 13

OUT – výstup
IN – vstup
NAP – napájení

Obr. 26. Zapojení konektoru X_2

Dodací lhůty těchto obvodů jsou poměrně dlouhé a u nově dovážených typů nejsou zkušenosti s jejich spolehlivostí. Já sám jsem nedávno pochválil spolehlivost sovětských obvodů v podnikovém časopisu k. p. TESLA Rožnov a prakticky druhý den po vyjití článku jsem měl asi 10 obvodů K155IR15 (74173) vyštípaných z nefungující desky na stole. Některé výrobní série obvodů měly stejnou chybu a některé chyby se projevily až po zvýšení teploty. Trochu mě mrazí v zádech, když si představím, co by se stalo, kdybychom v systému SAPI-1 přešli na nespolehlivou součástkovou základnu. Při počtu vyráběných kusů počítačů by nestačil servis opravovat. Naštěstí však součástky v TESLA Liberec měří a celé systémy zahořují. Dodávky integrovaných obvodů by však měly být přesto zajišťovány na vyšší úrovni než dosud.

Při stavbě desky JPR-1Z si samozřejmě můžete pomoci použitím obvodů řady 74 místo řady 74LS. Ve většině případů nejsou zátěže obvodů tak na hranici, aby vznikly nějaké potíže. Dokonce i obvody 74LS14 se dají v nouzi nahradit obvody 7404. Při sériové výrobě však takové náhrady možné nejsou. Desky musí mít standardní odběr z napájecího zdroje a tvarovače se přece používají právě proto, aby tvarovaly (74LS14). Jedním z důvodů, proč publikuji návody na stavbu desek ze sovětských obvodů, je právě to, aby vznikl tlak na jejich používání a tím na jejich seriózní zajištění pro naše vývojáře a výrobu.

Deska JPR-1Z se po postavení oživuje na přípravku TST-03. Tento přípravek se velice osvědčil a díky jemu bylo oživeno již více než 100 desek různých typů. Na desce JPR-1Z se nejprve zkontroluje hodinový signál osciloskopem. Pracuje-li tvarovač hodinového signálu správně, musí mít signál na procesoru amplitudu blízkou 5 V. Při použití krystalu 10 MHz mají „hodiny" střídu 2:3, což není na závadu. Dále se změří signál STSTB a zkontroluje se průchod signálu RESET od tlačítka a od zapnutí napájení (uzemněním kladného pólu kondenzátoru C4). Já sám zkouším desku JPR-1Z spolu s testovací pamětí EPROM, v níž mám krátký program. V programu je čtení portu 0 a co se přečte, to se zapíše do výstupního portu 0. Totéž se provede s porty 1 a 2. Mám také přípravek, který indikuje stav všech 30 vývodů konektorů FRB diodami LED a ještě je možno přepínačem jakýkoli vývod uzemnit. Tento přípravek připojím na konektory portů a uzemňuji vstupy jednotlivých bitů portů a díky testovacímu programu se indikuje stejná změna i u bitu výstupního portu. Dále je v testovacím programu zápis na adresu paměti a čtení paměti s tím, že se adresa inkrementuje. Na přípravku TST-03 tento testovací program můžeme i krokovat a tím odhalíme špatné čtení z paměti EPROM nebo chybnou funkci RESET atd.

Na obr. 25 je zapojení konektoru X_1 desky JPR-1Z. Zapojení konektoru sběrnice se od JPR-1 liší signálem $\overline{REF}$, vyvedením nemaskovatelného přerušení na místo přerušení úrovně „1" a také tím, že desce stačí jedno napájení +5 V. Na obr. 26 je zapojení konektoru X_2 a na obr. 27 zapojení konektoru X_3. Zapojení těchto konektorů se od JPR-1 neliší.

Na obr. 28 je výpis paměti MH74S287 pro dekodér periferií a na obr. 29 výpis paměti MH74S237 pro dekodér paměti. Obsah paměti EPROM BOOT pro systém JPR-1Z bude uveden v článku o programování systému a bude zde počítáno s tím, že JPR-1Z bude mít buď připojenu klávesnici CONSUL 259.11 (podle obr. 30)

Zapojení konektoru					Systém JPR-1			
Č.	Signál	Název	Typ	Č.	Signál	Název	Typ
1	P2-$\overline{INT}$	výstupní port P2	OUT	2	P2-OUT5	výstupní port P2	OUT
3	P2-OUT0		OUT	4	P2-OUT6		OUT
5	P2-OUT1		OUT	6	P2-OUT2		OUT
7	P2-OUT7		OUT	8	P2-OUT3		OUT
9	P2-STB		IN	10	P2-OUT4		OUT
11	0 V	zem	NAP	12	P2-IN2	vstupní port P2	IN
13	P2-IN4	vstupní port P2	INP	14	P2-IN3		IN
15	P2-IN6		INP	16	P2-IN7		IN
17	P2-IN1		INP	18	P2-IN5		IN
19	P1-STB		INP	20	P2-IN0		IN
21	0 V	zem	NAP	22	P1-$\overline{INTR}$	výstupní port P1	OUT
23	P1-OUT4	výstupní port P1	OUT	24	P1-OUT0		OUT
25	P1-OUT7		OUT	26	P1-OUT1		OUT
27	P1-OUT2		OUT	28	P1-OUT5		OUT
29	P1-OUT3		OUT	30	P1-OUT6		OUT

Číslo konektoru: X_3 Deska/zařízení: JPR-1Z Klíčování: C-6	Konektor: TY 513 30 11 Protikus: TX 514 30 13	IN – vstupní OUT – výstupní NAP – napájení

Obr. 27. Zapojení konektoru X_3 desky JPR-1Z

```
stranka 00:7 B D E F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F :F1
```

Obr. 28. Výpis paměti B5 pro desku JPR-1Z

```
stranka 00:7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7
           7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7
           7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7
           7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7
           F 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7
           7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7
           7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7
           7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F :08
```

Obr. 29. Výpis paměti C3 pro desku JPR-1Z

Připojení klávesnice CONSUL 259.11			
Port JPR-1Z	JPR-1ZX2 RFB 30Z/F3	Konektor Cannon	Signál
P1-INO	06	1	$\overline{D1}$
P1-IN1	04	2	$\overline{D2}$
P1-IN2	03	3	$\overline{D3}$
P1-IN3	05	4	$\overline{D4}$
P1-IN4	02	5	$\overline{D5}$
P1-IN5	08	6	$\overline{D6}$
P1-IN6	09	7	$\overline{D7}$
–	nezapojen	8–9	volný
P0-IN0	30	10	$\overline{SC}$
P1-IN7	07	11	$\overline{CLR}$
P0-OUT0	13	12	$\overline{AC}$
0 V	21	13	$\overline{A0}$
P0-OUT1	14	14	$\overline{ZVUK}$
0 V	21	15	0 V
Napájení ze zdroje		16–21	0 V
+5 V/0,95 A		22–24	+5 V
		25	volný

Obr. 30. Kabel pro klávesnici CONSUL 259.11 k JPR-1Z

a bude mít displej AND-1Z (nebo bude mít připojen terminál SM 7202). Systém se při „natažení" sám zkonfiguruje podle toho, zda bude spojka na kabelu k terminálu u konektoru X_2 desky DSM-1.

Na obr. 31 je horní strana desky s plošnými spoji a na obr. 32 je spodní strana desky JPR-1Z.

Seznam součástek pro desku JPR-1Z

Integrované obvody

A1	74LS14
A2, A3	74125
A4, B1	74LS32
A5	MH7404
B2	74LS08
B3	MHB8286
B4	U880D
B5, C3	MH74S287
B6	MH7493A
C1	MH7474
C2	UCY74123
C4	MHB2716
D5, D1 až D6	MH3212

Rezistory (TR 191, 10 %)

R_1 až R_{18}, R_{20} až R_{28}, R_{41}	4,7 kΩ
R_{19}, R_{44}	220 Ω
R_{29}, R_{30}, R_{32} až R_{34}, R_{36}	
R_{37}, R_{48} až R_{51}	10 kΩ
R_{31}	5,6 kΩ
R_{35}, R_{38}	100 Ω
R_{39}, R_{40}, R_{42}, R_{46}, R_{47}, R_{52}	1 kΩ
R_{43}	22 Ω
R_{45}	1,2 kΩ

Kondenzátory

C_1	1 nF, TK 745
C_2	12 pF, TK 795
C_3, C_4	20 µF, TE 981
C_5 až C_{15}	47 nF, TK 783
C_{16}	10 nF, TK 783
C_{17}	33 pF, TK 795

Ostatní součástky

tranzistor KSY81
krystal 16 MHz
dioda KA206
svítivá dioda LQ113
objímka DIL 16 pro B5, C3
objímka DIL 24 pro C4
konektor FRB TY517 6211 (X_1)
konektory FRB TY513 3011 (X_2, X_3)

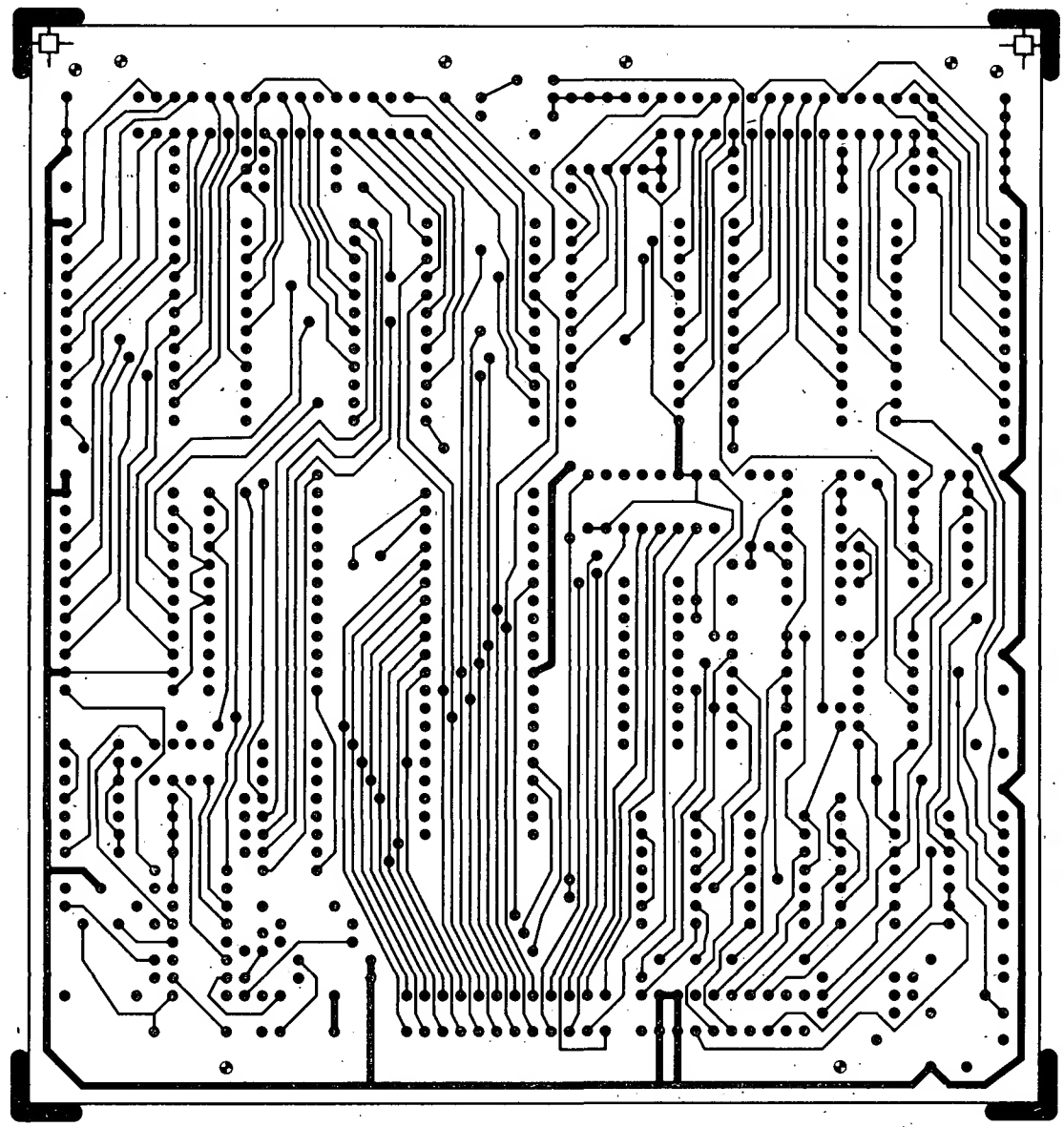
Deska dynamické paměti 64 Kbyte RAM-1T

Popis zapojení

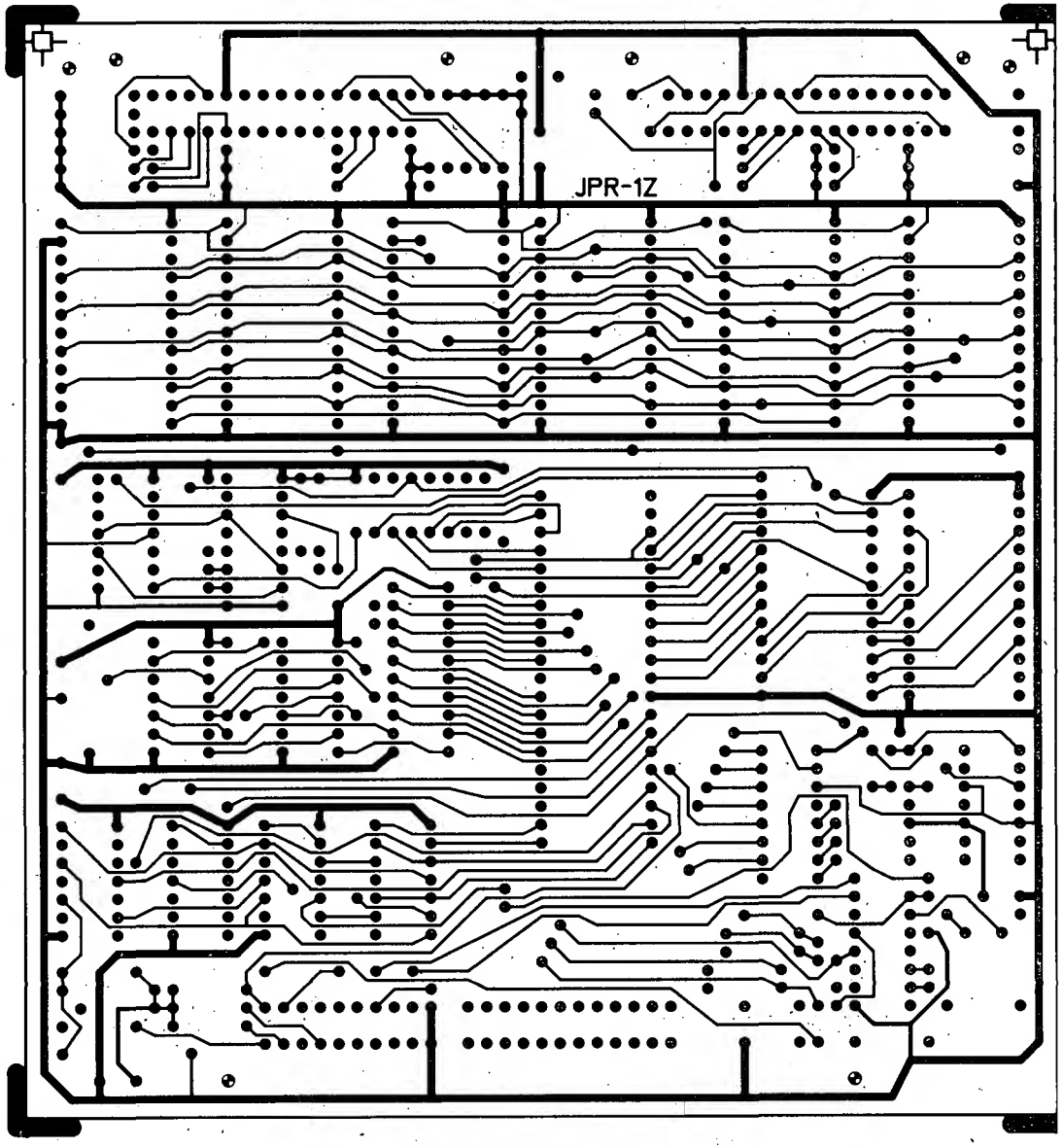
Deska RAM-1Z je určena pouze pro desku procesoru JPR-1Z, na které je mikroprocesor Z80. Dynamické paměti RAM (často DRAM), které jsou na desce RAM-1Z použity, potřebují tzv. REFREŠ, což je obnovení informace, které musí proběhnout 128krát za 2 ms. Mikroprocesor Z80 má vnitřní čítač refrešovací adresy a ten zajišťuje, že se na každou buňku dostane. Mikroprocesor Z80 využívá volného času v cyklu FETCH (M1), kdy se dekóduje přečtená instrukce. V tomto okamžiku se objeví na spodních sedmi adresovacích vývodech mikroprocesoru obsah čítače refrešovacích adres a souběžně je aktivován řídicí výstup, označený $\overline{REF}$. Díky tomu nemusíme u desky RAM-1Z zajišťovat funkci čítače a generátoru signálu refreš jako u RAM-32 nebo RAM-1. Proto se na desku vešlo celých 64 Kbyte paměti RAM, což je dostatečné pro programy pracující pod operačním systémem CP/M. Navíc je připraven signál pro mapování, který umožní, aby další paměti (EPROM, VIDEORAM displeje) neubíraly nic z plné kapacity paměti.

Základem celé desky jsou dynamické paměti MH4116 nebo K565RU3G. Na desce je 32 těchto obvodů. Obvod je organizován jako paměť 16 K × 1 bit a 8 pamětí v řadě tvoří jeden byte paměti. Čtyři paměti po 16 Kbyte pak dávají celkovou kapacitu paměti. Jak jistě většina ví, musí se do této paměti zadávat adresa nadvakrát. Aby měl obvod MHB4116 málo vývodů, přivádí se nejprve spodních 7 bitů adresy a zapíší se do paměti přechodem signálu $\overline{RAS}$ z jedničky na nulu. Pak se přepne multiplex, který přivede na stejné vývody obvodu vyšších 7 bitů adresy, které se zapíší do paměti přechodem signálu $\overline{CAS}$ z jedničky na nulu. Málokdo si dnes uvědomuje, jak je geniální tento způsob zadávání adresy. Postupnou úsporou dalších vývodů (napájení +12 V a −5 V) se podařilo do tohoto 16vývodového obvodu vtěsnat až 256 K × 1 bit paměti RAM, aniž by se musela měnit filozofie adresy signálů $\overline{RAS}$ a $\overline{CAS}$.

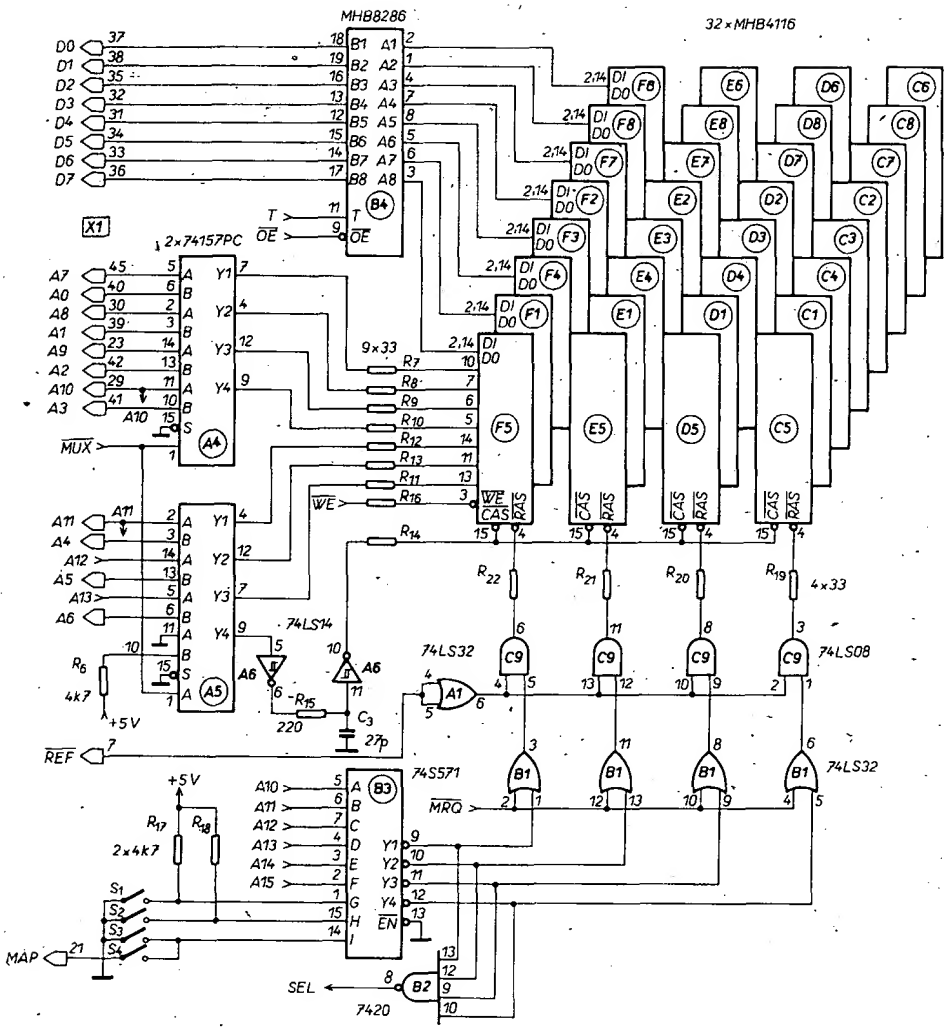
Paměť 4116 má ještě vývod $\overline{WE}$, pomocí něhož se do paměti zapisují data. Vstup a výstup dat jsou odděleny, takže zabírají další dva vývody obvodu. Pro zjednodušení plošných spojů se však dá s výhodou použít vlastnost obvodu MHB4116, která spočívá v tom, že se výstup paměti neotevře, přijde-li dříve signál $\overline{WE}$ než $\overline{CAS}$. Potom je možno vstupy a výstupy navzájem spojit. Obvody, které budou pracovat v daném okamžiku, se vybírají pomocí dekódování signálů $\overline{RAS}$ nebo $\overline{CAS}$. U desky RAM-1Z je použit výběr pomocí $\overline{RAS}$, který existuje na desce čtyřikrát (jednou pro každou řadu obvodů), zatímco signál $\overline{CAS}$ je společný pro všech 32 obvodů. Refreš se realizuje aktivováním signálů $\overline{RAS}$ pro všechny obvody najednou. Pro správnou funkci dynamických pamětí je důležitý refreš a správné časování uvedeného způsobu vkládání adresy nadvakrát. V počátcích používání dynamických pamětí se k zajištění refreše a časování signálů používala složitá zapojení nebo integrované jednočipové kontroléry. Dnes se ukazuje, že obvod 4116 je sám tak „chytrý", že není háklivý na



Obr. 32. Deska s plošnými spoji JPR-1Z – dolní strana



Obr. 31. Deska s plošnými spoji JPR-1Z – horní strana



Obr. 33. Schéma desky RAM-1Z, část 1

časování a refreš se nejčastěji řeší použitím mikroprocesoru Z80 nebo pomocí DMA (LSI –11 a IBM PC).

Obvod MHB4116 je však citlivý na případ, kdy by mu chybělo záporné předpětí, tvořené zdrojem –5 V. Proto se připínání hlavního napájecího napětí +12 V podmiňuje existencí záporného napětí.

Nyní se již můžeme podívat na schéma paměti RAM-1Z. Po předchozím popisu to můžeme vzít velice stručně (obr. 33 a 34).

Obvody A4 a A5 (UCY74157) tvoří přepínač spodních a horních 7 bitů adresy. V okamžiku, kdy paměť nepracuje, musí být multiplexer přepnut na spodních 7 bitů, aby prošla refrešovací adresa, kterou vysílá procesor. Všechny signály jsou vedeny k obvodům MHB4116 přes rezistory 33 Ω. Je to spíše etika než nutnost. Osmý volný díl multiplexeru (A5/9) je využit pro generaci signálu $\overline{CAS}$. Multiplexer sám nejlépe ví, že je přepnut na horní adresy a proto je také časování výhodné. Pro zajištění dalšího malého zpoždění je do cesty signálu $\overline{CAS}$ zařazen ještě zpožďovací člen R_{15}, C_3 a tvarovač A6.

Podle starých manuálů mikroprocesoru Z80 se doporučovalo „uzamknout" nejvyšší 4 bity adres po čas refreše do registru (LATCH – zámek), aby nemohly vzniknout hazardní stavy v dekodéru adresy paměti. Proto je na desce RAM-1Z registr 7475 (A3) ovládaný signálem MRQ. Myslím, že to není nutné, ale má-li někdo starší typ mikroprocesoru Z80, bude jistě klidnější, když tam registr bude.

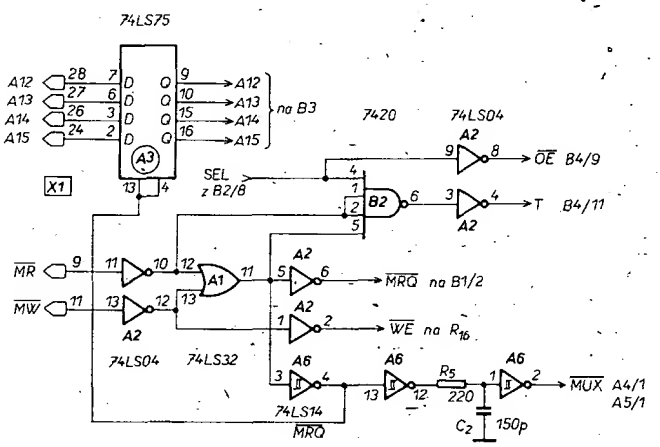
Dekodér adresy je tvořen pamětí PROM (B3), která hlídá adresový prostor 64 Kbyte po jednom „kilu". Předprogramováním paměti je možné zablokovat libovolné „kilo" na desce RAM-1Z. Na obr. 35 je výpis paměti PROM MH74S571 pro náš systém JPR-1Z. Přepínači můžeme zvolit, má-li se paměť chovat jako 64 Kbyte, 62 Kbyte nebo 60 Kbyte paměti. Třetí přepínač uzemňuje signál MAP tehdy, není-li použito mapování paměti. Čtvrtý přepínač naopak spojuje vstup I paměti B3 se špičkou MAP (X_1/21) v případě, že mapování použijeme. Z výpisu paměti je vidět, že při signálu MAP = „1" paměť nereaguje na spodních 16 Kbyte paměťového prostoru.

Výstupy dekodéru adres B3 povolují průchod signálu MRQ hradly B1 a tím vlastně vybírají řadu, pro kterou se bude generovat signál $\overline{RAS}$. Výstupy dekodéru adres jsou sečteny hradlem B2/8 a vznikne signál $\overline{SEL}$, který říká, že paměť je vybrána. Signál SEL pak povoluje otevření datového zesilovače B4.

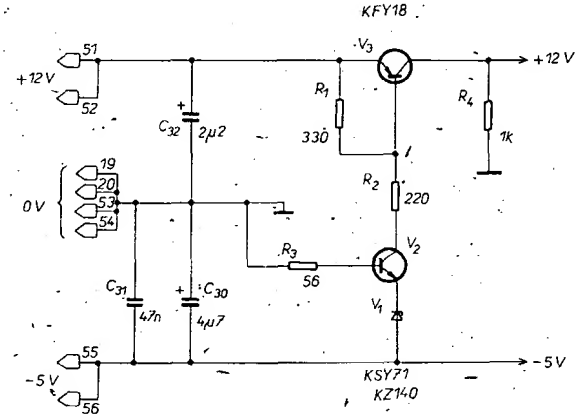
Refreš paměti se realizuje přímo signálem REF, který přes hradla C9 generuje najednou signály $\overline{RAS}$ pro všechny řady pamětí. Také signál $\overline{MW}$ jde prakticky

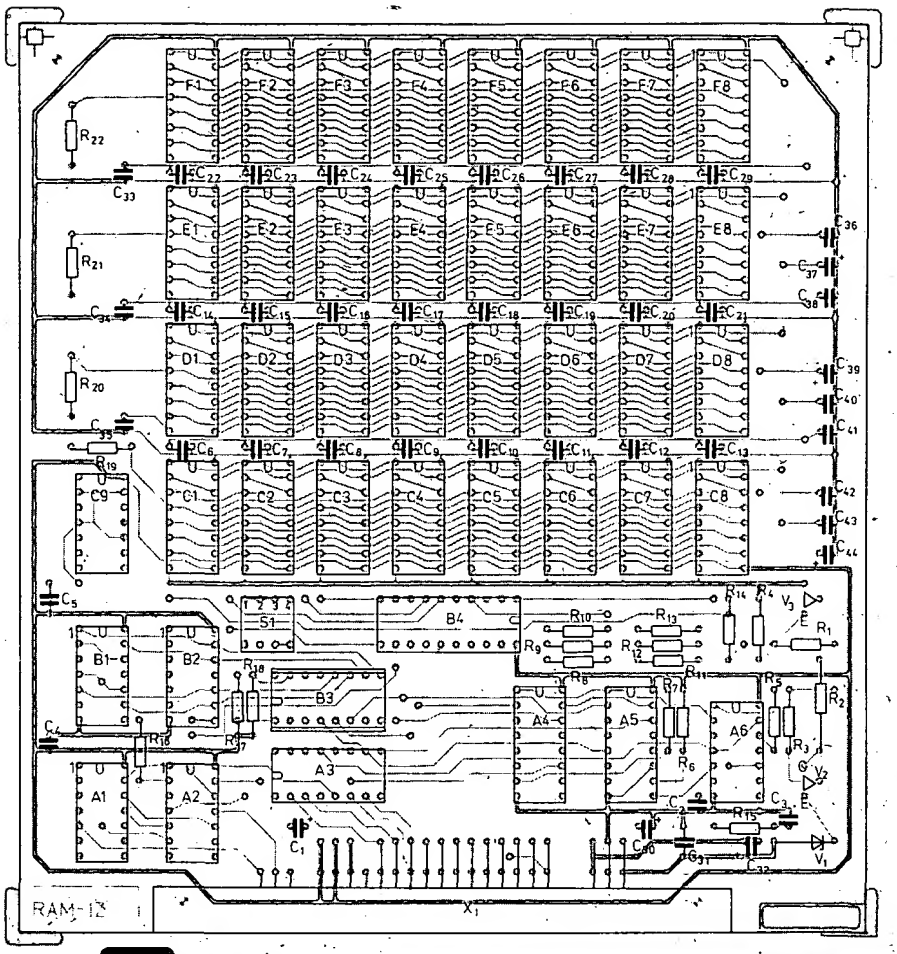
```
stranka 00:7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7
           B B B B B B B B B B B B B B B B
           D D D D D D D D D D D D D D D D
           E E E E E E E E E E E E E E E E
           7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7
           B B B B B B B B B B B B B B B B
           D D D D D D D D D D D D D D D D
           E E E E E E E E E E E E E E F F
           7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7
           B B B B B B B B B B B B B B B B
           D D D D D D D D D D D D D D D D
           E E E E E E E E E E E E F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F :36

stranka 01:F F F F F F F F F F F F F F F F
           B B B B B B B B B B B B B B B B
           D D D D D D D D D D D D D D D D
           E E E E E E E E E E E E E E E E
           F F F F F F F F F F F F F F F F
           B B B B B B B B B B B B B B B B
           D D D D D D D D D D D D D D D D
           E E E E E E E E E E E E E E F F
           F F F F F F F F F F F F F F F F
           B B B B B B B B B B B B B B B B
           D D D D D D D D D D D D D D D D
           E E E E E E E E E E E E E E F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F
           F F F F F F F F F F F F F F F F :86
```

Obr. 35. Výpis dekodéru adres desky RAM-1Z



Obr. 34. Schéma desky RAM-1Z, část 2





Obr. 36. Rozložení součástek na desce RAM-1Z

Obr. 37. Deska RAM-1Z (viz třetí stranu obálky)

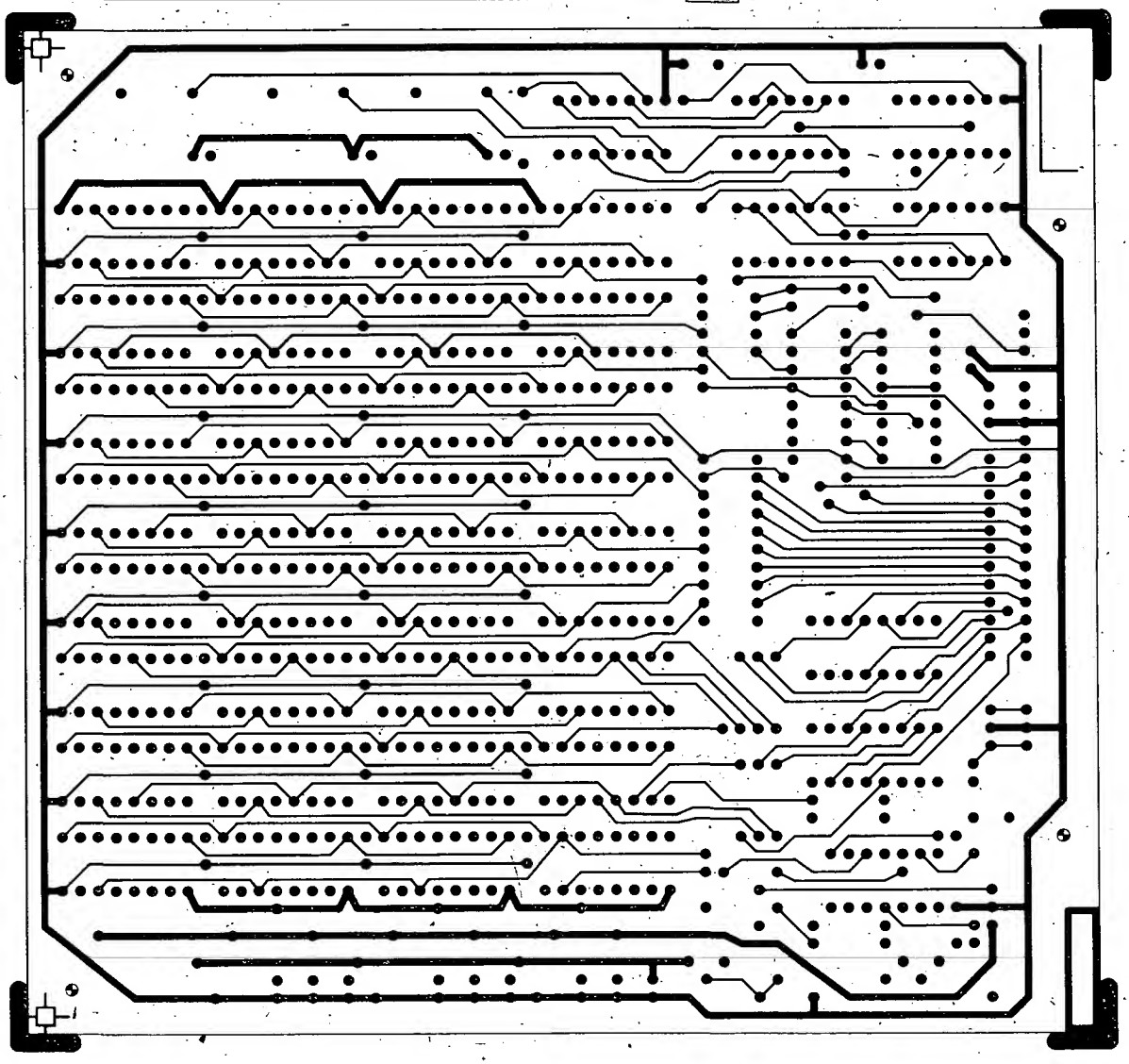
přímo do obvodů MHB4116. Sečtením signálů $\overline{MR}$ a $\overline{MW}$ vzniká signál $\overline{MRQ}$ který generuje $\overline{RAS}$ při čtení a zápisu. Zpožděním MRQ pomocí hradel A6 a článku *RC* C_2, R_5 vznikne signál $\overline{MUX}$, který přepíná adresy pro paměťové obvody.

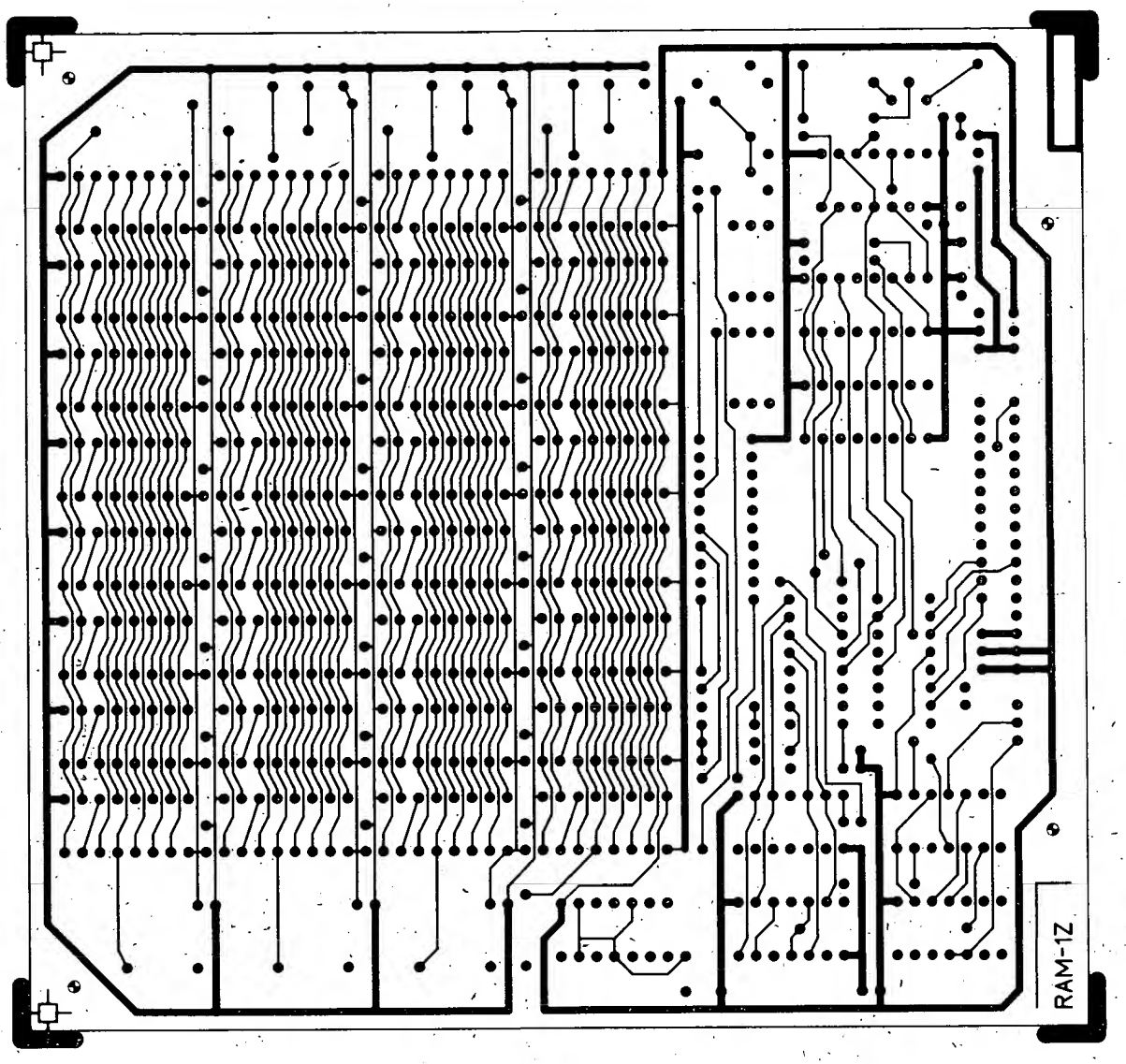
Tranzistorový spínač pak zajišťuje připojení napětí +12 V jen tehdy, je-li přítomno napětí −5 V.

Na obr. 36 a 37 je rozložení součástí na desce RAM-1Z. Na obr. 38 je horní strana desky s plošnými spoji a na obr. 39 je spodní strana.

Deska se opět oživuje na přípravku TST-03. Nejprve se zkontroluje dekodér adresy pomocí sondy, kterou měříme na výstupech obvodu B3. Logická nula na výstupu znamená, že dekodér na danou adresu reaguje, a že generuje signál SEL. Potom změříme vzniklé signály $\overline{RAS}$, $\overline{CAS}$ a $\overline{WE}$ přímo na paměťových obvodech při stlačování tlačítek MR a MW. Dále můžeme zkontrolovat průchod adres přes multiplexery a jejich střídání při signálu $\overline{CAS}$. Dělá se to nejlépe tak, že si nastavíme spodních 7 adres na jedničky a dalších 7 na nuly. Nakonec můžeme zkusit zapsat

Obr. 38. Deska s plošnými spoji RAM-1Z – horní strana





Obr. 39. Deska RAM-1Z, spoje spodní strany

a přečíst všechny bity dat. Je to neuvěřitelné, ale informace v pamětech vydrží asi 7 s, takže je možno i dynamické paměti oživovat na ručním přípravku.

Seznam součástek na desce RAM-1Z

Integrované obvody

A1, B1	74LS32
A2	74LS04
A3	MH7475
A4, A5	74157PC
A6	74LS14
B2	MH7420
B3	MH74S571
B4	MHB8286
C9	74LS08
C1 až C8, D1 až D8, E1 až E8, F1 až F8	MHB4116

Rezistory (TR 191, 10 %)

R_1	330 Ω		
R_2	220 Ω; TR 192		
R_3	56 Ω		
R_4	1 kΩ		
R_5, R_{15}	220 Ω	R_7 až R_{14}, R_{16},	
R_6, R_{17}, R_{18}	4,7 kΩ	R_{19} až R_{22}	33 Ω

Kondenzátory

C_1, C_{30}, C_{37}, C_{39}	6,8 μF, TE 121
C_2	150 pF, TK 795
C_3	27 pF, TK 795
C_4, C_{33} až C_{36}, C_{38}, C_{40} až C_{43}	15 nF, TK 783
C_5, C_{31}	22 nF, TK 783
C_6 až C_{29}	47 nF, TK 783
C_{32}, C_{44}	2,2 μF, TE 123

Ostatní součástky

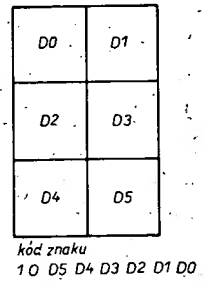
přepínač DIL
tranzistor KSY71
tranzistor KFY18
dioda
konektor FRB, TY 517 6211

Deska displeje, AND-1Z

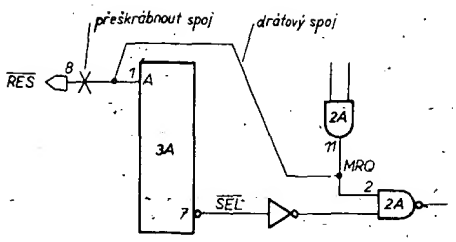
Deska alfanumerického displeje AND-1 uveřejněná v AR B2/83 měla pouze 40 znaků na řádek a používala standardní generátor znaků s rastrem 5 × 7. Pro mnoho programů pracujících pod systémem CP/M je 40 znaků málo. Bylo by vhodné mít displej s 80 znaky, ale videosignál s tak vysokým kmitočtem již TV přijímač nezpracuje a znaky by byly na obrazovce rozmazané. Proto jsem zvolil kompromisní řešení, 64 znaků na jeden řádek.

Pro práci s počítači nám čím dál tím více vadilo, že jsme nemohli pracovat s úplnou českou abecedou s diakritickými znaménky. I toto číslo AR B by bylo možné napsat za pomoci textového editoru pod CP/M, kdyby bylo možné pracovat s českou abecedou. Proto základním požadavkem na nový displej byl rastr znaků pro zobrazení malých a velkých písmen a slovenské abecedy. Bodový rastr 6 × 12, který používají počítače TRS, VG a TNS, je pro zobrazení češtiny přímo ideální. Zvolením tohoto rastru jsme současně dosáhli kompatibility s uvedenými počítači i v semigrafice. Semigrafické zobrazení u displeje využívá generátoru znaků, ve kterém je v našem případě nahráno 64 znaků pro semigrafiku. Rastr 6 × 12 je rozdělen na šest políček, takže vznikne 64 znaků, které je možno vyvolávat podle obsahu datových bitů D0 až D5. Kódování semigrafických znaků je znázorněno na obr. 40. Je-li příslušný datový bit jednička, políčko svítí, je-li nula, pak je zatemněno. Navíc je v generátoru znaků ještě část grafických znaků převzatých od známé firmy, vyrábějící terminály k počítačům (TELEVIDEO – USA). Tyto znaky umožňují rámovat texty, protože jsou symetrické vzhledem k osám rastru.

Další věc, která nám na displejích k mikropočítačům vadila, je blikání obrazovky při zápisu do paměti displeje. Nemyslím tím blikání, které se objevovalo u AND-1 při instrukcích WAIT u MICROBASIC. Toto blikání je způsobeno chybou v zapojení desky a je ho možno odstranit přepo-



Obr. 40. Kódování semigrafických znaků



Obr. 41. Úprava AND-1 (úpravu navrhl ing. Petřík z Ostravy)

jením desky AND-1 podle obr. 41. Blikání při zápisu je způsobeno tím, že si logika displeje čte pravidelně obsah paměti VIDEORAM a ve chvílích zápisového impulsu WE nebo čtecího impulsu RD je výstup paměti jiný, než má být pro znak, který se právě zobrazuje. Celý problém lze řešit jen velmi těžko. Použitím paměti RAM s oddělenými vstupy a výstupy (MHB2101) by se dosáhlo odstranění blikání při zápisu, avšak při čtení by zůstalo. Jediným správným řešením je vyhradit po dobu kreslení každého znaku pevný čas pro čtení z paměti do zobrazovacích obvodů a pevný čas pro čtení a zápis ze strany počítače. Toto řešení však klade dvakrát vyšší nároky na přístupové časy pamětí. Navíc je nutné čtení a zápis zasynchronizovat s vlastním kmitočtem displeje. U displeje AND-1Z jsme zvolili toto řešení, i když budou potíže s výběrem pamětí MHB2114, protože tyto paměti TESLA na rozdíl od zahraničních výrobců nedodává ve skupinách podle rychlosti. Deska AND-1Z je navržena tak, aby nebylo nutné předělávat kabely k TV přijímači nebo k zobrazovací jednotce AZJ 462. Navíc se podařilo vyřešit generátor synchronizač-

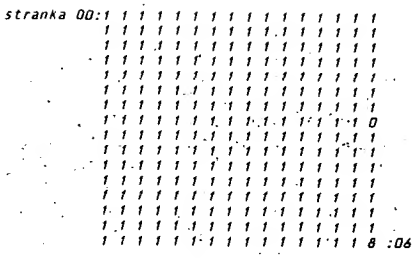
Obr. 42. Schéma desky AND-1Z, část 1 – sběrnice a paměti

ních impulsů tak, že není nutné nic přepojovat a dokonce je možné používat TV přijímač i AZJ 462 najednou.

Popis zapojení

Schéma desky je rozděleno na dvě části. Na první (obr. 42) jsou obvody kolem sběrnice a paměti displeje a na druhé (obr. 43) generátor časové základny pro horizontální a vertikální adresaci paměti a synchronizaci se zobrazovací jednotkou.

Dekodér adresy je tvořen pamětí PROM (A1), výpis obsahu paměti je na obr. 44. Jako obvykle umí dekódovat každé „kilo" paměti. Pro displej AND-1Z by ve skutečnosti stačil dekodér po dvou „kilech" paměti, ale my jsme chtěli, aby adresa mohla začínat kdekoli po 1 Kbyte paměti. Zejména jsme chtěli, aby adresa mohla začínat na 3C00 HEX jako u systémů TRS, VG a TNS. Pak je možné omezit displej pouze na 16 řádků textu (64 znaků/ř × 16 řádků = 1024 znaků) a vznikne tak plně kompatibilní displej. Pro tento případ by bylo ještě nutné vyměnit paměť EPROM, která tvoří generátor znaků. Právě proto, aby mohl displej začínat i na adrese, která má bit A10 = „1", bylo nutné překódovat pamětí PROM (A1) i tento bit a pak ho teprve vést do vstupu multiplexerů adresy (D5/6). Výstupním signálem z dekodéru adresy je $\overline{SEL}$. Je-li tento signál v „nule", je na adresové části sběrnice adresa displeje. Invertovaný signál pak povoluje průchod signálu STSTB ze sběrnice a nastaví se na „jedničku" klopný obvod WAIT (D1/9). Tím „spadne" RDY na sběrnici a procesor by zařadil čekací cykl TW. Problém je v tom, že u procesoru 8080A se po horních bitech adresy přenáší i adresa periférie a bude-li adresa displeje F800 HEX, pak by i při instrukci OUT F8 procesor zařadil čekací cykl. Proto je klopný obvod WAIT nulován signálem $\overline{IOR}$, $\overline{IOW}$ (C3). Není to úplné řešení, protože při $\overline{IOR}$ již procesor

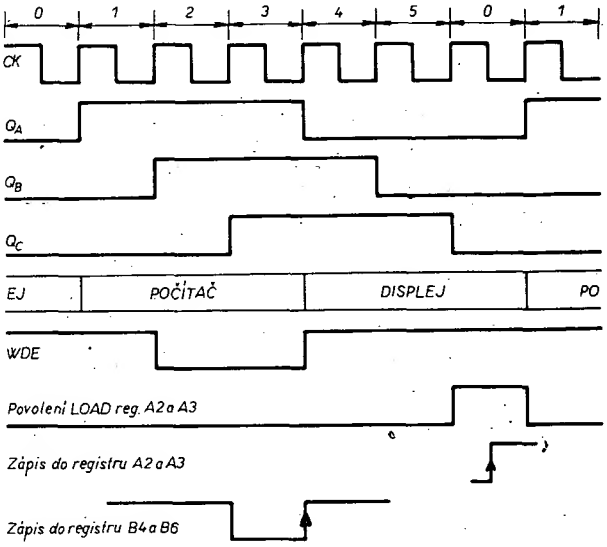


Obr. 44. Obsah paměti A1 na desce AND-1Z

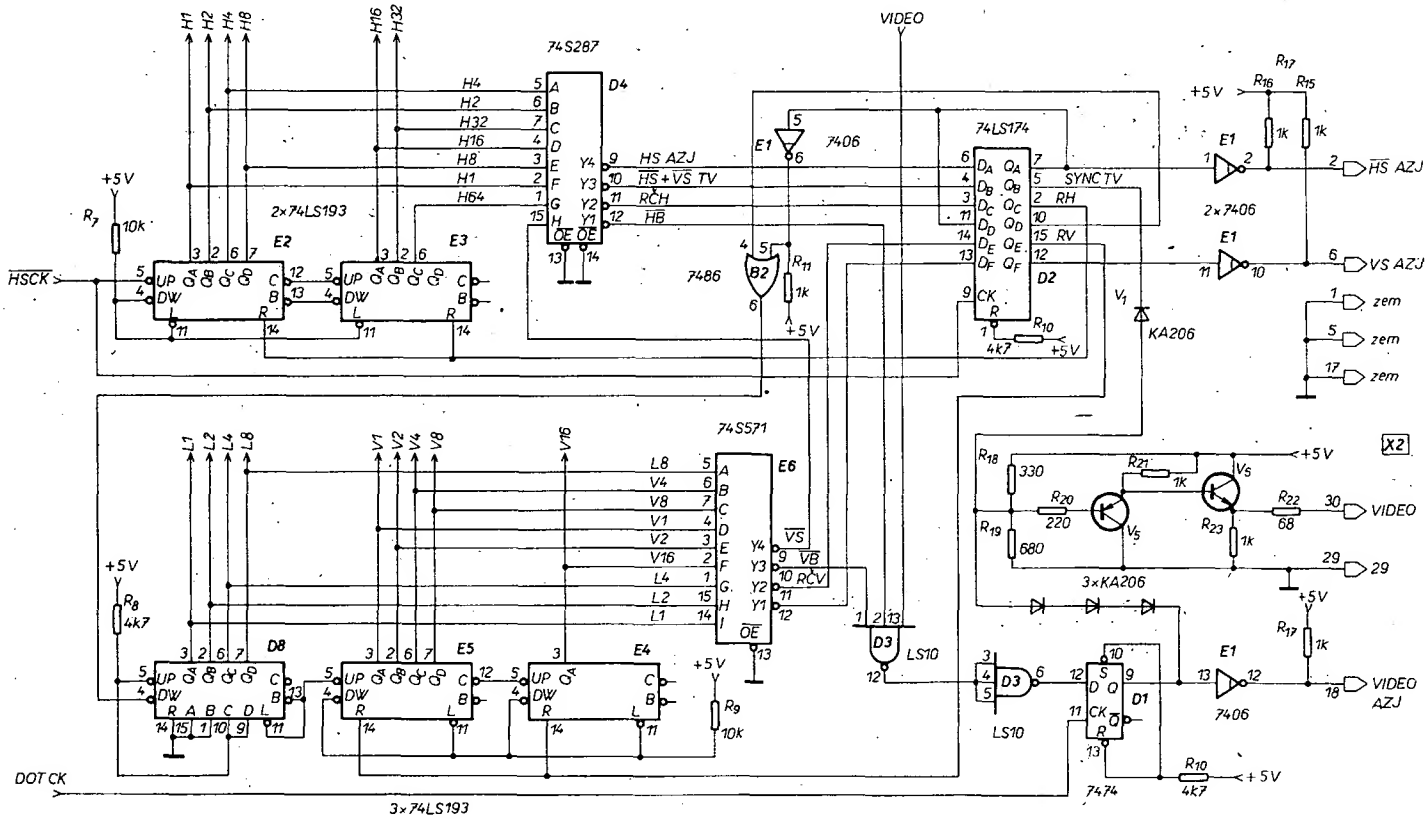
čekací cykl zařadí, ale alespoň je jen jeden. Zařízení čekacího cyklu při $\overline{MR}$ a $\overline{MW}$ je naopak nutnou podmínkou synchronizace displeje a procesoru.

Signál $\overline{SEL}$ povolí průchod signálů $\overline{MR}$ a $\overline{MW}$ (B3). Tyto dva požadavky na přístup do paměti displeje se sečtou a vznikne tak signál RQ (B1/6). Pak začne pracovat synchronizační logika, tvořená klopnými obvody C1/9 a C1/5. V čase, který je dán náběhem signálu Q_A, začíná čas vyhrazený pro přístup počítače do paměti. Je-li požadavek RQ = „1", nastaví se klopný obvod C1/9 na „nulu" a povolí se jak zápisy (C3/4, B3/1), tak vstup adresy ze sběrnice do desky (D5 až D7/1). Po skončení vyhrazeného času v okamžiku náběhu Q_A se nastaví na „nulu" klopný obvod C1/5 a první klopný obvod se vynuluje. Nastavením C1/5 na „nulu" se zakáže požadavek RQ do té doby, než skončí předcházející a současně se nuluje klopný obvod WAIT – počítač přestane vkládat čekací cykly TW.

Rozdělení času na části pro displej a procesor zajišťuje Johnsonův čítač, tvořený posuvným registrem C2. Časové průběhy čítače jsou na obr. 45. Čítač dělí



Obr. 45. Základní časové průběhy na desce AND-1Z



Obr. 43. Schéma desky AND-1Z, část 2 – časová základna

šesti signál o kmitočtu 10 MHz, takže na nakreslení jednoho znaku je čas 600 ns. Z toho 300 ns při Q_A = „1" je pro počítač a 300 ns při Q_A = „1" je pro displej. Z obrázku je vidět, že se před koncem času pro počítač uvolní data z počítače signálem WDE, který otevře třístavové oddělovače B5 a B7. Na konci času pro počítač se data sečtená z VIDEORAM vyvzorkují do registrů B4 a B6. Na konci času pro displej se data čtená z VIDEORAM vyvzorkují do registrů znaku A2 a A3.

Johnsonův čítač (C2) zajišťuje také dělení základního kmitočtu zobrazovacích bodů DOT CK (D9/12) šesti (6 bodů na znak) a tím vyrábí znakový kmitočet, označený $\overline{HSCK}$ („horizontální hodiny"), který inkrementuje horizontální čítač časové základny. Tento čítač (část schématu na obr. 43). adresuje ve VIDEORAM 64 znaků na jedné řádce. Jednotlivé adresy H1 až H32 procházejí přes multiplexery na adresové vstupy pamětí MHB2114.

Vzhledem k malému rozměru desky SAPI-1 bylo nutné vyřešit elegantně časovou základnu, aby se na desku vešly synchronizační obvody pro zamezení blikání displeje. Vzhledem k velké rychlosti zobrazování znaků musel být navíc do řetězce VIDEORAM – generátor znaků – posuvný registr videa zařazen vyrovnávací registr A2, A3 a tím také přibyly obvody na desce RAM-1Z. Proto je časová základna horizontálního a vertikálního rozkladu řešena pomocí pamětí PROM, které dekódují nejen potřebné synchronizační impulsy, ale i nulovací impulsy pro zkrácení cyklu binárních čítačů na potřebnou délku (signály RČH a RČV). Protože nejsem přítelem kondenzátorů na výstupech pamětí PROM (možnost vzniku hazardních stavů), je výstup pamětí PROM vzorkován do registru D2.

Paměť PROM (D4) dekóduje horizontální synchronizační impulsy a její výpis je

```
stranka 00: 8 8 8 8 0 0 0 0 0 0 0 0 0 0 0 0
            8 0 8 0 0 0 0 0 0 0 0 0 0 0 0 0
            8 8 8 8 0 0 0 0 0 0 0 0 0 0 0 0
            8 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 0 0 8 8 8 8 C C C 0 0 0 0
            0 0 0 8 8 0 8 0 C 8 8 8 0 0 0 0
            0 0 0 0 8 8 8 8 C C C 0 0 0 0
            0 0 0 8 8 0 8 0 8 8 8 8 0 0 0 0
            C D D D 5 5 5 5 5 5 5 5 5 5 5 5
            D 5 D 5 5 5 5 5 5 5 5 5 5 5 5 5
            C D D D 5 5 5 5 5 5 5 5 5 5 5 5
            D 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5
            5 4 4 4 C C C C C 8 8 8 0 0 0 0
            4 4 4 C C 0 C 0 8 C C C 0 0 0 0
            5 4 4 4 C C C C 8 8 8 8 0 0 0 0
            4 4 4 C C 0 E 0 . C C C C 0 0 0 0:84
```

Obr. 46. Obsah paměti D4 na desce AND-1Z

na obr. 46. Kdyby někdo chtěl překódovat tuto paměť, pak předem upozorňuji, že desku s plošnými spoji navrhoval Vašek Svoboda a ten má ve zvyku „přeházet všechny nožičky" tak, aby spoje byly co nejjednodušší. Je to správné, neboť je důležité, aby na desce bylo co nejméně děr, a aby bylo možno osazenou desku pájet vlnou bez následných zkratů. (Jedním z velkých nedostatků desek například systému SMEP je, že plošné spoje jsou navrhovány bez těchto hledisek a pak se desky špatně vyrábějí a snadno „porouchávají".) V paměti D4 je na adrese 107 naprogramována jednička na výstupu Y2 a ta způsobí vynulování čítačů E2 a E3 (0,6 µs × 107 = 64,2 µs).

Z výstupu D2/7 je odvozen impuls o délce 0,6 µs, který inkrementuje vertikální čítač D8. Ve skutečnosti se dekrementuje reverzibilní čítač, protože obvod 74LS193 je zapojen jako čítač dolů (down), aby bylo možno jeho cykl zkrátit na 12 spojením $\overline{BORROW}$ a $\overline{LOAD}$. Díky tomu pak musí být generátor znaků programován pozpátku; protože linky L1 až L8 čítají v pořadí 11, 10, 9, 8 až 0. Do čítače D8 se naplňuje číslo 12 (A, B = „0" a C, D = „1"), avšak hned po naplnění se změní na 11. Další dva čítače vertikální části časové základny pak čítají nahoru (up) a generují adresy V1 až V16 pro adresaci jednotlivých řádků, kterých je na TV přijímači celkem 20. Zobrazeno je tedy 12 × 20 neboli 240 TV řádků z celkového počtu 312 řádků. Obsah čítače je dekódován pamětí PROM E6. Na adrese 312 této paměti je naprogramována jednička na výstupu Y2 a ta způsobí vynulování čítačů E4 a E5 a tím zkrácení jejich cyklu. Výpis paměti PROM (E6) je na obr. 47.

```
stranka 00: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 9 9 9 9 0 0 0 0 9 9 9 9 0 0
            0 0 8 1 0 0 0 0 0 0 9 8 0 0 0 0
            0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 9 9 9 9 0 0 0 0 9 9 9 9 0 0
            0 0 8 9 0 8 0 0 0 0 9 8 0 0 0 0
            0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 9 9 9 9 0 0 0 0 9 9 9 9 0 0
            0 0 8 9 0 0 0 0 0 0 9 8 0 0 0 0
            0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 9 0 9 0 0 0 0 0 9 0 9 0 0 0
            0 0 8 0 0 0 0 0 0 0 8 0 0 0 0 0:46

stranka 01: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 9 9 9 9 0 0 0 0 9 9 9 9 0 0
            0 0 8 1 0 0 0 0 0 0 9 8 0 0 0 0
            0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 9 9 9 9 0 0 0 0 9 9 9 9 0 0
            0 0 8 9 0 8 0 0 0 0 9 8 0 0 0 0
            0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 9 9 9 9 0 0 0 0 9 9 9 9 0 0
            0 0 8 9 0 0 0 0 0 0 9 8 0 0 0 0
            0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
            0 0 9 0 9 0 0 0 0 0 9 0 9 0 0 0
            0 0 8 0 0 0 0 0 0 0 8 0 0 0 0 0:46
```

Obr. 47. Obsah paměti E6 na desce AND-1Z

Výstupy na TV přijímač a zobrazovací jednotku AZJ 462 jsou stejné jako u AND-1.

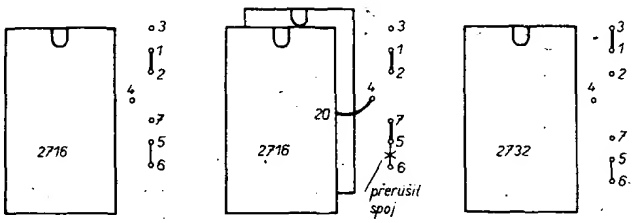
Deska AND-1Z má svou vlastní VIDEORAM, tvořenou čtyřmi obvody MH2114. Tyto paměti by měly mít dobu přístupu od změny adresy max. 250 ns. Je možné je vybrat z našich pamětí, nebo si sehnat zahraniční, které se prodávají tříděné. Z výstupu VIDEORAM (C6, C7, C4 a C5) se data vzorkují do registrů A2 a A3. Za tímto registrem je zařazena paměť 2732, která pracuje jako generátor znaků. Místo jedné paměti 2732 je možno použít dvě MHB2716, u nichž se musí vzájemně spájet všechny vývody stejného čísla. Jen špička *20* horní paměti se odehne a připojí se na výstup invertoru D9/6, který je zde pro tyto účely připraven. Dá-li se do připravené díry u objímky dutinka z konektoru, pak je možnost vyměnit paměti EPROM bez pájení. Pro omezený počet znaků je také možno použít pouze jednu paměť MHB2716. Zapojení propojek u generátoru znaků pro různé typy pamětí je na obr. 48.

Na obr. 49 je výpis paměti 2732 pro generátor znaků. Na obr. 50 je graficky znázorněn obsah paměti pro jednotlivé znaky. Pod každým znakem je příslušný

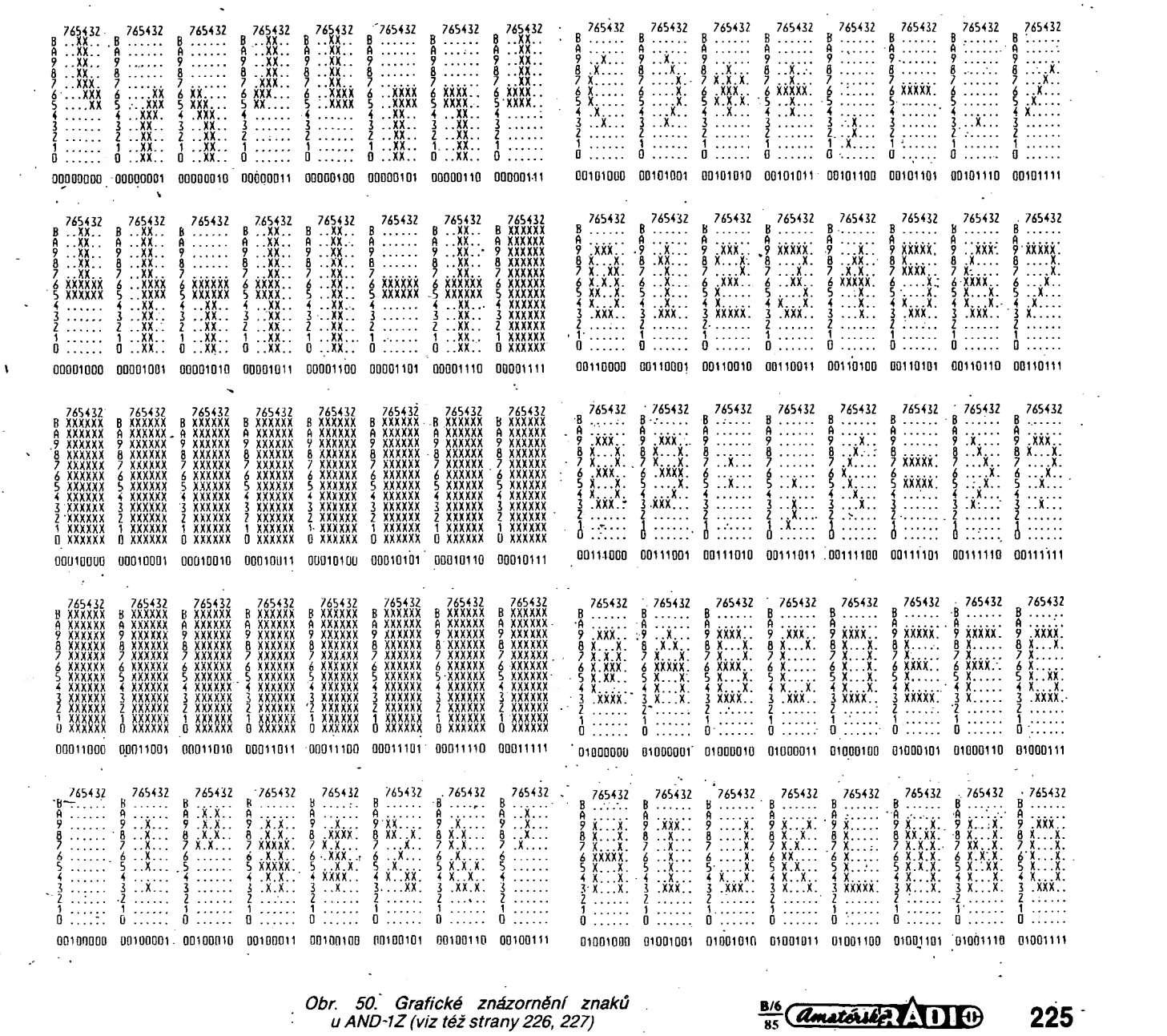
Obr. 49. Výpis paměti 2732 pro desku AND-1Z

```
stranka 00:00 00 00 00 00 0C 1C 38 30 30 30 30 00 00 00 00
           30 30 30 30 38 1C 0C 00 00 00 00 00 00 00 00 00
           30 30 30 30 70 E0 C0 00 00 00 00 00 00 00 00 00
           00 00 00 00 00 C0 E0 70 30 30 30 30 00 00 00 00
           00 00 00 00 00 3C 3C 30 30 30 30 30 00 00 00 00
           30 30 30 30 30 3C 3C 00 00 00 00 00 00 00 00 00
           30 30 30 30 30 F0 F0 00 00 00 00 00 00 00 00 00
           00 00 00 00 00 F0 F0 30 30 30 30 30 00 00 00 00
           00 00 00 00 00 FC FC 30 30 30 30 30 00 00 00 00
           30 30 30 30 30 3C 3C 30 30 30 30 30 00 00 00 00
           30 30 30 30 30 FC FC 00 00 00 00 00 00 00 00 00
           30 30 30 30 30 F0 F0 30 30 30 30 30 00 00 00 00
           30 30 30 30 30 30 30 30 30 30 30 30 00 00 00 00
           00 00 00 00 00 FC FC 00 00 00 00 00 00 00 00 00
           30 30 30 30 30 FC FC 30 30 30 30 30 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00 :18

stranka 01:FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
           FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00 :00

stranka 02:00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00
           00 00 00 70 00 70 70 70 70 70 00 00 00 00 00 00
           00 00 00 00 00 00 00 A0 50 50 50 00 00 00 00 00
           00 00 00 50 50 F8 50 F8 50 50 00 00 00 00 00 00
           00 00 00 70 F0 78 70 A0 78 70 00 00 00 00 00 00
           00 00 00 18 98 40 20 10 C8 C0 00 00 00 00 00 00
           00 00 00 68 90 A8 40 A0 A0 40 00 00 00 00 00 00
           00 00 00 00 00 00 00 40 20 20 20 00 00 00 00 00
           00 00 00 20 40 80 80 80 40 20 00 00 00 00 00 00
           00 00 00 20 10 08 08 08 10 20 00 00 00 00 00 00
           00 00 00 00 20 A8 70 A8 20 00 00 00 00 00 00 00
           00 00 00 00 20 20 F8 20 20 00 00 00 00 00 00 00
           00 40 20 20 00 00 00 00 00 00 00 00 00 00 00 00
           00 00 00 00 00 00 F8 00 00 00 00 00 00 00 00 00
           00 00 00 20 00 00 00 00 00 00 00 00 00 00 00 00
           00 00 00 00 80 40 20 10 08 00 00 00 00 00 00 00 :18

stranka 03:00 00 00 70 88 C8 A8 98 88 70 00 00 00 00 00 00
           00 00 00 70 20 20 20 20 60 20 00 00 00 00 00 00
           00 00 00 F8 80 80 70 08 88 70 00 00 00 00 00 00
           00 00 00 70 88 08 30 10 08 F8 00 00 00 00 00 00
           00 00 00 10 10 10 F8 50 30 10 00 00 00 00 00 00
           00 00 00 70 88 08 08 F0 80 F8 00 00 00 00 00 00
           00 00 00 70 88 88 F0 80 40 38 00 00 00 00 00 00
           00 00 00 80 40 70 10 08 08 F8 00 00 00 00 00 00
           00 00 00 70 88 88 70 88 88 70 00 00 00 00 00 00
           00 00 00 E0 10 08 78 88 88 70 00 00 00 00 00 00
           00 00 00 00 00 70 00 70 00 00 00 00 00 00 00 00
           00 40 20 20 00 70 00 00 00 00 00 00 00 00 00 00
           00 00 00 10 20 40 80 40 20 10 00 00 00 00 00 00
           00 00 00 00 00 F8 00 F8 00 00 00 00 00 00 00 00
           00 00 00 40 20 10 08 10 20 40 00 00 00 00 00 00
           00 00 00 20 00 70 10 08 88 70 00 00 00 00 00 00 :60

stranka 04:00 00 00 78 80 80 88 A8 88 70 00 00 00 00 00 00
           00 00 00 88 88 88 F8 88 50 20 00 00 00 00 00 00
           00 00 00 F0 88 88 F0 88 88 F0 00 00 00 00 00 00
           00 00 00 70 88 80 80 80 88 70 00 00 00 00 00 00
           00 00 00 F0 88 88 88 88 88 F0 00 00 00 00 00 00
           00 00 00 F8 80 80 F0 80 80 F8 00 00 00 00 00 00
           00 00 00 80 80 80 F0 80 80 F8 00 00 00 00 00 00
           00 00 00 78 88 98 80 80 88 78 00 00 00 00 00 00
           00 00 00 88 88 88 F8 88 88 88 00 00 00 00 00 00
           00 00 00 70 20 20 20 20 20 70 00 00 00 00 00 00
           00 00 00 70 88 08 08 08 08 08 00 00 00 00 00 00
           00 00 00 88 90 A0 C0 A0 90 88 00 00 00 00 00 00
           00 00 00 F8 80 80 80 80 80 80 00 00 00 00 00 00
           00 00 00 88 88 88 A8 A8 D8 88 00 00 00 00 00 00
           00 00 00 88 88 98 A8 C8 88 88 00 00 00 00 00 00
           00 00 00 70 88 88 88 88 88 70 00 00 00 00 00 00 :58

stranka 05:00 00 00 80 80 80 F0 88 88 F0 00 00 00 00 00 00
           00 00 00 68 90 A8 88 88 88 70 00 00 00 00 00 00
           00 00 00 88 90 A0 F0 88 88 F0 00 00 00 00 00 00
           00 00 00 70 88 08 70 80 88 70 00 00 00 00 00 00
           00 00 00 20 20 20 70 20 A8 F8 00 00 00 00 00 00
           00 00 00 70 A8 A8 A8 88 88 88 00 00 00 00 00 00
           00 00 00 70 70 50 50 88 88 88 00 00 00 00 00 00
           00 00 00 50 A8 A8 88 88 88 88 00 00 00 00 00 00
           00 00 00 88 A8 50 20 50 A8 88 00 00 00 00 00 00
           00 00 00 20 20 20 20 50 88 88 00 00 00 00 00 00
           00 00 00 F8 80 40 20 10 08 F8 00 00 00 00 00 00
           00 00 00 F8 C0 C0 C0 C0 C0 F8 00 00 00 00 00 00
           00 00 00 00 08 10 20 40 80 00 00 00 00 00 00 00
           00 00 00 F8 18 18 18 18 18 F8 00 00 00 00 00 00
           00 00 00 20 20 20 A8 70 20 00 00 00 00 00 00 00
           00 00 00 F8 00 00 00 00 00 00 00 00 00 00 00 00 :28

stranka 06:00 00 00 00 00 00 00 10 20 40 00 00 00 00 00 00
           00 00 00 78 88 78 08 70 00 00 00 00 00 00 00 00
           00 00 00 F0 88 88 88 F0 80 80 00 00 00 00 00 00
           00 00 00 70 80 80 80 70 00 00 00 00 00 00 00 00
           00 00 00 78 88 88 88 78 08 08 00 00 00 00 00 00
           00 00 00 70 80 F8 88 70 00 00 00 00 00 00 00 00
           00 00 00 20 20 20 20 20 20 10 00 00 00 00 00 00
           00 30 08 78 88 88 88 78 00 00 00 00 00 00 00 00
           00 00 00 88 88 88 88 88 F0 80 80 00 00 00 00 00
           00 00 00 70 20 20 20 60 00 20 00 00 00 00 00 00
           00 60 10 10 10 10 10 30 00 10 00 00 00 00 00 00
           00 00 00 48 50 60 50 48 40 40 00 00 00 00 00 00
           00 00 00 70 20 20 20 20 20 60 00 00 00 00 00 00
           00 00 00 A8 A8 A8 A8 D0 00 00 00 00 00 00 00 00
           00 00 00 88 88 88 C8 B0 00 00 00 00 00 00 00 00
           00 00 00 70 88 88 88 70 00 00 00 00 00 00 00 00 :58
```

Obr. 48. Zapojení propojek na desce AND-1Z u generátoru znaků



```
stranka 07:00 80 80 F0 88 88 88 F0 00 00 00 00 00 00 00 00
            00 08 08 78 88 88 88 78 00 00 00 00 00 00 00 00
            00 00 00 40 40 40 60 50 00 00 00 00 00 00 00 00
            00 00 00 F0 08 70 80 78 00 00 00 00 00 00 00 00
            00 00 00 10 20 20 20 70 20 00 00 00 00 00 00 00
            00 00 00 78 88 88 88 88 00 00 00 00 00 00 00 00
            00 00 00 20 50 88 88 88 00 00 00 00 00 00 00 00
            00 00 00 50 A8 A8 88 88 00 00 00 00 00 00 00 00
            00 00 00 88 50 20 50 88 00 00 00 00 00 00 00 00
            00 30 08 78 88 88 88 88 00 00 00 00 00 00 00 00
            00 00 00 F8 40 20 10 F8 00 00 00 00 00 00 00 00
            00 00 00 10 20 20 40 20 20 10 00 00 00 00 00 00
            00 00 00 20 20 20 20 20 20 20 00 00 00 00 00 00
            00 00 00 40 20 20 10 20 20 40 00 00 00 00 00 00
            00 00 00 00 00 00 00 10 A8 40 00 00 00 00 00 00
            A8 54 A8 54 A8 54 A8 54 A8 54 A8 54 00 00 00 00 :E8

stranka 08:00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00
            00 00 00 00 00 00 00 00 E0 E0 E0 E0 00 00 00 00
            00 00 00 00 00 00 00 00 1C 1C 1C 1C 00 00 00 00
            00 00 00 00 00 00 00 FC FC FC FC 00 00 00 00 00
            00 00 00 00 E0 E0 E0 E0 00 00 00 00 00 00 00 00
            00 00 00 00 E0 E0 E0 E0 E0 E0 E0 E0 00 00 00 00
            00 00 00 00 E0 E0 E0 E0 1C 1C 1C 1C 00 00 00 00
            00 00 00 00 E0 E0 E0 E0 FC FC FC FC 00 00 00 00
            00 00 00 00 1C 1C 1C 1C 00 00 00 00 00 00 00 00
            00 00 00 00 1C 1C 1C 1C E0 E0 E0 E0 00 00 00 00
            00 00 00 00 1C 1C 1C 1C 1C 1C 1C 1C 00 00 00 00
            00 00 00 00 1C 1C 1C 1C FC FC FC FC 00 00 00 00
            00 00 00 00 FC FC FC FC 00 00 00 00 00 00 00 00
            00 00 00 00 FC FC FC FC E0 E0 E0 E0 00 00 00 00
            00 00 00 00 FC FC FC FC 1C 1C 1C 1C 00 00 00 00
            00 00 00 00 FC FC FC FC FC FC FC FC 00 00 00 00 :00

stranka 09:E0 E0 E0 E0 00 00 00 00 00 00 00 00 00 00 00 00
            E0 E0 E0 E0 00 00 00 00 E0 E0 E0 E0 00 00 00 00
            E0 E0 E0 E0 00 00 00 00 1C 1C 1C 1C 00 00 00 00
            E0 E0 E0 E0 00 00 00 00 FC FC FC FC 00 00 00 00
            E0 E0 E0 E0 E0 E0 E0 E0 00 00 00 00 00 00 00 00
            E0 E0 E0 E0 E0 E0 E0 E0 E0 E0 E0 E0 00 00 00 00
            E0 E0 E0 E0 E0 E0 E0 E0 1C 1C 1C 1C 00 00 00 00
            E0 E0 E0 E0 E0 E0 E0 E0 FC FC FC FC 00 00 00 00
            E0 E0 E0 E0 1C 1C 1C 1C 00 00 00 00 00 00 00 00
            E0 E0 E0 E0 1C 1C 1C 1C E0 E0 E0 E0 00 00 00 00
            E0 E0 E0 E0 1C 1C 1C 1C 1C 1C 1C 1C 00 00 00 00
            E0 E0 E0 E0 1C 1C 1C 1C FC FC FC FC 00 00 00 00
            E0 E0 E0 E0 FC FC FC FC 00 00 00 00 00 00 00 00
            E0 E0 E0 E0 FC FC FC FC E0 E0 E0 E0 00 00 00 00
            E0 E0 E0 E0 FC FC FC FC 1C 1C 1C 1C 00 00 00 00
            E0 E0 E0 E0 FC FC FC FC FC FC FC FC 00 00 00 00 :00

stranka 0A:1C 1C 1C 1C 00 00 00 00 00 00 00 00 00 00 00 00
            1C 1C 1C 1C 00 00 00 00 E0 E0 E0 E0 00 00 00 00
            1C 1C 1C 1C 00 00 00 00 1C 1C 1C 1C 00 00 00 00
            1C 1C 1C 1C 00 00 00 00 FC FC FC FC 00 00 00 00
            1C 1C 1C 1C E0 E0 E0 E0 00 00 00 00 00 00 00 00
            1C 1C 1C 1C E0 E0 E0 E0 E0 E0 E0 E0 00 00 00 00
            1C 1C 1C 1C E0 E0 E0 E0 1C 1C 1C 1C 00 00 00 00
            1C 1C 1C 1C E0 E0 E0 E0 FC FC FC FC 00 00 00 00
            1C 1C 1C 1C 1C 1C 1C 1C 00 00 00 00 00 00 00 00
            1C 1C 1C 1C 1C 1C 1C 1C E0 E0 E0 E0 00 00 00 00
            1C 1C 1C 1C 1C 1C 1C 1C 1C 1C 1C 1C 00 00 00 00
            1C 1C 1C 1C FC FC FC FC 00 00 00 00 00 00 00 00
            1C 1C 1C 1C FC FC FC FC E0 E0 E0 E0 00 00 00 00
            1C 1C 1C 1C FC FC FC FC 1C 1C 1C 1C 00 00 00 00
            1C 1C 1C 1C FC FC FC FC FC FC FC FC 00 00 00 00 :00

stranka 0B:FC FC FC FC 00 00 00 00 00 00 00 00 00 00 00 00
            FC FC FC FC 00 00 00 00 E0 E0 E0 E0 00 00 00 00
            FC FC FC FC 00 00 00 00 1C 1C 1C 1C 00 00 00 00
            FC FC FC FC 00 00 00 00 FC FC FC FC 00 00 00 00
            FC FC FC FC E0 E0 E0 E0 00 00 00 00 00 00 00 00
            FC FC FC FC E0 E0 E0 E0 E0 E0 E0 E0 00 00 00 00
            FC FC FC FC E0 E0 E0 E0 1C 1C 1C 1C 00 00 00 00
            FC FC FC FC E0 E0 E0 E0 FC FC FC FC 00 00 00 00
            FC FC FC FC 1C 1C 1C 1C 00 00 00 00 00 00 00 00
            FC FC FC FC 1C 1C 1C 1C E0 E0 E0 E0 00 00 00 00
            FC FC FC FC 1C 1C 1C 1C 1C 1C 1C 1C 00 00 00 00
            FC FC FC FC 1C 1C 1C 1C FC FC FC FC 00 00 00 00
            FC FC FC FC FC FC FC FC 00 00 00 00 00 00 00 00
            FC FC FC FC FC FC FC FC E0 E0 E0 E0 00 00 00 00
            FC FC FC FC FC FC FC FC 1C 1C 1C 1C 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00 :00

stranka 0C:FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
            00 00 00 78 88 78 08 70 00 70 10 00 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
            00 00 00 78 80 80 80 78 00 10 28 00 00 00 00 00
            00 00 00 78 88 88 88 78 08 08 70 50 00 00 00 00
            00 00 00 70 80 F8 88 70 00 70 50 00 00 00 00 00
            00 00 00 40 40 40 68 50 00 70 10 00 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
            00 00 00 78 88 88 88 88 00 50 28 00 00 00 00 00
            00 00 00 70 70 70 70 60 00 70 10 00 00 00 00 00
            00 00 00 78 88 88 88 88 00 70 50 70 00 00 00 00
            00 00 00 70 88 88 88 88 00 70 10 00 00 00 00 00
            00 00 00 70 70 70 70 60 08 08 08 00 00 00 00 00
            00 00 00 70 70 70 70 70 70 60 10 28 00 00 00 00
            00 00 00 70 88 88 88 70 00 50 28 00 00 00 00 00
            00 00 00 68 88 86 C8 B0 00 70 50 00 00 00 00 00
            00 00 00 70 88 88 88 70 00 70 10 00 00 00 00 00 :10

stranka 0D:00 00 00 70 88 88 88 70 00 50 70 00 00 00 00 00
            00 00 00 78 88 78 08 70 00 50 28 00 00 00 00 00
            00 00 00 40 40 40 68 50 00 20 50 00 00 00 00 00
            00 00 00 F0 08 70 80 78 00 20 50 00 00 00 00 00
            00 00 00 10 20 20 20 70 20 00 10 28 00 00 00 00
            00 00 00 78 88 88 88 88 00 20 10 00 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
            00 00 00 70 80 F8 88 70 00 20 10 00 00 00 00 00
            00 00 00 78 88 78 08 70 00 20 40 00 00 00 00 00
            00 30 08 78 88 88 88 88 00 20 10 00 00 00 00 00
            00 00 00 F8 40 20 10 F8 00 20 50 00 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
            00 00 00 00 00 00 00 00 00 00 20 50 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
            00 00 00 00 08 08 F8 00 00 00 00 00 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00 :F0

stranka 0E:00 00 00 00 00 00 00 00 00 00 10 08 00 00 00 00
            00 00 00 88 88 F8 88 88 50 20 10 08 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
            00 00 00 70 88 80 80 80 88 70 20 50 00 00 00 00
            00 00 00 F0 88 88 88 88 88 F0 20 50 00 00 00 00
            00 00 00 F8 80 80 F0 80 80 F8 20 50 00 00 00 00
            00 00 00 88 90 A0 F0 88 88 F0 20 10 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
            00 00 00 70 88 88 88 88 88 88 50 28 00 00 00 00
            00 00 00 70 20 20 20 20 20 70 20 10 00 00 00 00
            00 00 00 70 88 88 88 88 88 88 60 60 00 00 00 00
            00 00 00 F8 80 80 80 80 80 80 20 10 00 00 00 00
            00 00 00 F8 80 80 80 80 80 80 20 50 00 00 00 00
            00 00 00 70 88 88 88 88 88 70 50 28 00 00 00 00
            00 00 00 88 88 98 A8 C8 88 88 20 50 00 00 00 00
            00 00 00 70 88 88 88 88 88 70 20 10 00 00 00 00 :60

stranka 0F:00 00 00 70 88 88 88 88 88 70 86 70 00 00 00 00
            00 00 00 88 88 F8 88 88 50 20 50 28 00 00 00 00
            00 00 00 88 90 A0 F0 88 88 F0 20 50 00 00 00 00
            00 00 00 70 88 08 70 80 88 70 20 50 00 00 00 00
            00 00 00 20 20 20 20 20 A8 F8 20 50 00 00 00 00
            00 00 00 70 88 88 88 88 88 88 20 10 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
            00 00 00 F8 80 80 F0 80 80 F8 20 10 00 00 00 00
            00 00 00 88 88 F8 88 88 50 20 40 80 00 00 00 00
            00 00 00 20 20 20 20 20 50 88 88 20 10 00 00 00
            00 00 00 F8 80 40 20 10 08 F8 20 50 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00
            FC FC FC FC FC FC FC FC FC FC FC FC 00 00 00 00 :10
```



Obr. 50. Grafické znázornění znaků u AND-1Z (viz též strany 226, 227)

```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B ......   B ......   B ......   B ......   B ......   B ......   B ......
A ......   A ......   A ......   A ......   A ......   A ......   A ......   A ......
9 XXXX..   9 .XXX..   9 XXXX..   9 .XXX..   9 XXXXX.   9 X...X.   9 X...X.   9 X...X.
8 X...X.   8 X...X.   8 X...X.   8 X...X.   8 X.X.X.   8 X...X.   8 X...X.   8 X...X.
7 X...X.   7 X...X.   7 X...X.   7 X.....   7 ..X...   7 X...X.   7 X...X.   7 X...X.
6 XXXX..   6 X...X.   6 XXXX..   6 .XXX..   6 ..X...   6 X...X.   6 .X.X..   6 X.X.X.
5 X.....   5 X.X.X.   5 X.X...   5 ....X.   5 ..X...   5 X...X.   5 .X.X..   5 X.X.X.
4 X.....   4 X..X..   4 X..X..   4 X...X.   4 ..X...   4 X...X.   4 ..X...   4 X.X.X.
3 X.....   3 .XX.X.   3 X...X.   3 .XXX..   3 ..X...   3 .XXX..   3 ..X...   3 .X.X..
2 ......   2 ......   2 ......   2 ......   2 ......   2 ......   2 ......   2 ......
1 ......   1 ......   1 ......   1 ......   1 ......   1 ......   1 ......   1 ......
0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......

01010000   01010001   01010010   01010011   01010100   01010101   01010110   01010111
```

```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B ......   B ......   B ......   B ......   B ......   B ......   B ......
A ......   A ......   A ......   A ......   A ......   A ......   A ......   A ......
9 X...X.   9 X...X.   9 XXXXX.   9 XXXXX.   9 ......   9 XXXXX.   9 ......   9 ......
8 X...X.   8 X...X.   8 ....X.   8 XX....   8 X.....   8 ...XX.   8 ..X...   8 ......
7 .X.X..   7 .X.X..   7 ...X..   7 XX....   7 .X....   7 ...XX.   7 .XXX..   7 ......
6 ..X...   6 ..X...   6 ..X...   6 XX....   6 ..X...   6 ...XX.   6 X.X.X.   6 ......
5 .X.X..   5 ..X...   5 .X....   5 XX....   5 ...X..   5 ...XX.   5 ..X...   5 ......
4 X...X.   4 ..X...   4 X.....   4 XX....   4 ....X.   4 ...XX.   4 ..X...   4 ......
3 X...X.   3 ..X...   3 XXXXX.   3 XXXXX.   3 ......   3 XXXXX.   3 ..X...   3 XXXXX.
2 ......   2 ......   2 ......   2 ......   2 ......   2 ......   2 ......   2 ......
1 ......   1 ......   1 ......   1 ......   1 ......   1 ......   1 ......   1 ......
0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......

01011000   01011001   01011010   01011011   01011100   01011101   01011110   01011111
```

```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B ......   B ......   B ......   B ......   B ......   B ......   B ......
A ......   A ......   A ......   A ......   A ......   A ......   A ......   A ......
9 .X....   9 ......   9 X.....   9 ......   9 ....X.   9 ......   9 ...X..   9 ......
8 ..X...   8 ......   8 X.....   8 ......   8 ....X.   8 ......   8 ..X...   8 ......
7 ...X..   7 .XXX..   7 XXXX..   7 .XXX..   7 .XXXX.   7 .XXX..   7 ..X...   7 .XXXX.
6 ......   6 ....X.   6 X...X.   6 X.....   6 X...X.   6 X...X.   6 .XXX..   6 X...X.
5 ......   5 .XXXX.   5 X...X.   5 X.....   5 X...X.   5 XXXXX.   5 ..X...   5 X...X.
4 ......   4 X...X.   4 X...X.   4 X.....   4 X...X.   4 X.....   4 ..X...   4 X...X.
3 ......   3 .XXXX.   3 XXXX..   3 .XXX..   3 .XXXX.   3 .XXX..   3 ..X...   3 .XXXX.
2 ......   2 ......   2 ......   2 ......   2 ......   2 ......   2 ......   2 ....X.
1 ......   1 ......   1 ......   1 ......   1 ......   1 ......   1 ......   1 ..XX..
0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......

01100000   01100001   01100010   01100011   01100100   01100101   01100110   01100111
```

```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B ......   B ......   B ......   B ......   B ......   B ......   B ......
A ......   A ......   A ......   A ......   A ......   A ......   A ......   A ......
9 X.....   9 ..X...   9 ...X..   9 .X....   9 .XX...   9 ......   9 ......   9 ......
8 X.....   8 ......   8 ......   8 .X....   8 ..X...   8 ......   8 ......   8 ......
7 XXXX..   7 .XX...   7 ..XX..   7 .X..X.   7 ..X...   7 XX.X..   7 X.XX..   7 .XXX..
6 X...X.   6 ..X...   6 ...X..   6 .X.X..   6 ..X...   6 X.X.X.   6 XX..X.   6 X...X.
5 X...X.   5 ..X...   5 ...X..   5 .XX...   5 ..X...   5 X.X.X.   5 X...X.   5 X...X.
4 X...X.   4 ..X...   4 ...X..   4 .X.X..   4 ..X...   4 X.X.X.   4 X...X.   4 X...X.
3 X...X.   3 .XXX..   3 ...X..   3 .X..X.   3 .XXX..   3 X.X.X.   3 X...X.   3 .XXX..
2 ......   2 ......   2 ...X..   2 ......   2 ......   2 ......   2 ......   2 ......
1 ......   1 ......   1 .XX...   1 ......   1 ......   1 ......   1 ......   1 ......
0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......

01101000   01101001   01101010   01101011   01101100   01101101   01101110   01101111
```

```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B ......   B ......   B ......   B ......   B ......   B ......   B ......
A ......   A ......   A ......   A ......   A ......   A ......   A ......   A ......
9 ......   9 ......   9 ......   9 ......   9 ......   9 ......   9 ......   9 ......
8 ......   8 ......   8 ......   8 ......   8 ..X...   8 ......   8 ......   8 ......
7 XXXX..   7 .XXXX.   7 .X.XX.   7 .XXXX.   7 .XXX..   7 X...X.   7 X...X.   7 X...X.
6 X...X.   6 X...X.   6 .XX...   6 X.....   6 ..X...   6 X...X.   6 X...X.   6 X...X.
5 X...X.   5 X...X.   5 .X....   5 .XXX..   5 ..X...   5 X...X.   5 X...X.   5 X.X.X.
4 X...X.   4 X...X.   4 .X....   4 ....X.   4 ..X...   4 X...X.   4 .X.X..   4 X.X.X.
3 XXXX..   3 .XXXX.   3 .X....   3 XXXX..   3 ...X..   3 .XXXX.   3 ..X...   3 .X.X..
2 X.....   2 ....X.   2 ......   2 ......   2 ......   2 ......   2 ......   2 ......
1 X.....   1 ....X.   1 ......   1 ......   1 ......   1 ......   1 ......   1 ......
0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......

01110000   01110001   01110010   01110011   01110100   01110101   01110110   01110111
```

```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B ......   B ......   B ......   B ......   B ......   B ......   B .X.X.X
A ......   A ......   A ......   A ......   A ......   A ......   A ......   A X.X.X.
9 ......   9 ......   9 ......   9 ...X..   9 ..X...   9 .X....   9 .X....   9 .X.X.X
8 ......   8 ......   8 ......   8 ..X...   8 ..X...   8 ..X...   8 X.X.X.   8 X.X.X.
7 X...X.   7 X...X.   7 XXXXX.   7 ..X...   7 ..X...   7 ..X...   7 ...X..   7 .X.X.X
6 .X.X..   6 X...X.   6 ...X..   6 .X....   6 ..X...   6 ...X..   6 ......   6 X.X.X.
5 ..X...   5 X...X.   5 ..X...   5 ..X...   5 ..X...   5 ..X...   5 ......   5 .X.X.X
4 .X.X..   4 X...X.   4 .X....   4 ..X...   4 ..X...   4 ..X...   4 ......   4 X.X.X.
3 X...X.   3 .XXXX.   3 XXXXX.   3 ...X..   3 ..X...   3 .X....   3 ......   3 .X.X.X
2 ......   2 ....X.   2 ......   2 ......   2 ......   2 ......   2 ......   2 X.X.X.
1 ......   1 ..XX..   1 ......   1 ......   1 ......   1 ......   1 ......   1 .X.X.X
0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 X.X.X.

01111000   01111001   01111010   01111011   01111100   01111101   01111110   01111111
```

```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B XXX...   B ...XXX   B XXXXXX   B ......   B XXX...   B ...XXX   B XXXXXX
A ......   A XXX...   A ...XXX   A XXXXXX   A ......   A XXX...   A ...XXX   A XXXXXX
9 ......   9 XXX...   9 ...XXX   9 XXXXXX   9 ......   9 XXX...   9 ...XXX   9 XXXXXX
8 ......   8 XXX...   8 ...XXX   8 XXXXXX   8 ......   8 XXX...   8 ...XXX   8 XXXXXX
7 ......   7 ......   7 ......   7 ......   7 XXX...   7 XXX...   7 XXX...   7 XXX...
6 ......   6 ......   6 ......   6 ......   6 XXX...   6 XXX...   6 XXX...   6 XXX...
5 ......   5 ......   5 ......   5 ......   5 XXX...   5 XXX...   5 XXX...   5 XXX...
4 ......   4 ......   4 ......   4 ......   4 XXX...   4 XXX...   4 XXX...   4 XXX...
3 ......   3 ......   3 ......   3 ......   3 ......   3 ......   3 ......   3 ......
2 ......   2 ......   2 ......   2 ......   2 ......   2 ......   2 ......   2 ......
1 ......   1 ......   1 ......   1 ......   1 ......   1 ......   1 ......   1 ......
0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......

10000000   10000001   10000010   10000011   10000100   10000101   10000110   10000111
```

```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B XXX...   B ...XXX   B XXXXXX   B ......   B XXX...   B ...XXX   B XXXXXX
A ......   A XXX...   A ...XXX   A XXXXXX   A ......   A XXX...   A ...XXX   A XXXXXX
9 ......   9 XXX...   9 ...XXX   9 XXXXXX   9 ......   9 XXX...   9 ...XXX   9 XXXXXX
8 ......   8 XXX...   8 ...XXX   8 XXXXXX   8 ......   8 XXX...   8 ...XXX   8 XXXXXX
7 ...XXX   7 ...XXX   7 ...XXX   7 ...XXX   7 XXXXXX   7 XXXXXX   7 XXXXXX   7 XXXXXX
6 ...XXX   6 ...XXX   6 ...XXX   6 ...XXX   6 XXXXXX   6 XXXXXX   6 XXXXXX   6 XXXXXX
5 ...XXX   5 ...XXX   5 ...XXX   5 ...XXX   5 XXXXXX   5 XXXXXX   5 XXXXXX   5 XXXXXX
4 ...XXX   4 ...XXX   4 ...XXX   4 ...XXX   4 XXXXXX   4 XXXXXX   4 XXXXXX   4 XXXXXX
3 ......   3 ......   3 ......   3 ......   3 ......   3 ......   3 ......   3 ......
2 ......   2 ......   2 ......   2 ......   2 ......   2 ......   2 ......   2 ......
1 ......   1 ......   1 ......   1 ......   1 ......   1 ......   1 ......   1 ......
0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......

10001000   10001001   10001010   10001011   10001100   10001101   10001110   10001111
```

```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B XXX...   B ...XXX   B XXXXXX   B ......   B XXX...   B ...XXX   B XXXXXX
A ......   A XXX...   A ...XXX   A XXXXXX   A ......   A XXX...   A ...XXX   A XXXXXX
9 ......   9 XXX...   9 ...XXX   9 XXXXXX   9 ......   9 XXX...   9 ...XXX   9 XXXXXX
8 ......   8 XXX...   8 ...XXX   8 XXXXXX   8 ......   8 XXX...   8 ...XXX   8 XXXXXX
7 ......   7 ......   7 ......   7 ......   7 XXX...   7 XXX...   7 XXX...   7 XXX...
6 ......   6 ......   6 ......   6 ......   6 XXX...   6 XXX...   6 XXX...   6 XXX...
5 ......   5 ......   5 ......   5 ......   5 XXX...   5 XXX...   5 XXX...   5 XXX...
4 ......   4 ......   4 ......   4 ......   4 XXX...   4 XXX...   4 XXX...   4 XXX...
3 XXX...   3 XXX...   3 XXX...   3 XXX...   3 XXX...   3 XXX...   3 XXX...   3 XXX...
2 XXX...   2 XXX...   2 XXX...   2 XXX...   2 XXX...   2 XXX...   2 XXX...   2 XXX...
1 XXX...   1 XXX...   1 XXX...   1 XXX...   1 XXX...   1 XXX...   1 XXX...   1 XXX...
0 XXX...   0 XXX...   0 XXX...   0 XXX...   0 XXX...   0 XXX...   0 XXX...   0 XXX...

10010000   10010001   10010010   10010011   10010100   10010101   10010110   10010111
```

```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B XXX...   B ...XXX   B XXXXXX   B ......   B XXX...   B ...XXX   B XXXXXX
A ......   A XXX...   A ...XXX   A XXXXXX   A ......   A XXX...   A ...XXX   A XXXXXX
9 ......   9 XXX...   9 ...XXX   9 XXXXXX   9 ......   9 XXX...   9 ...XXX   9 XXXXXX
8 ......   8 XXX...   8 ...XXX   8 XXXXXX   8 ......   8 XXX...   8 ...XXX   8 XXXXXX
7 ...XXX   7 ...XXX   7 ...XXX   7 ...XXX   7 XXXXXX   7 XXXXXX   7 XXXXXX   7 XXXXXX
6 ...XXX   6 ...XXX   6 ...XXX   6 ...XXX   6 XXXXXX   6 XXXXXX   6 XXXXXX   6 XXXXXX
5 ...XXX   5 ...XXX   5 ...XXX   5 ...XXX   5 XXXXXX   5 XXXXXX   5 XXXXXX   5 XXXXXX
4 ...XXX   4 ...XXX   4 ...XXX   4 ...XXX   4 XXXXXX   4 XXXXXX   4 XXXXXX   4 XXXXXX
3 XXX...   3 XXX...   3 XXX...   3 XXX...   3 XXX...   3 XXX...   3 XXX...   3 XXX...
2 XXX...   2 XXX...   2 XXX...   2 XXX...   2 XXX...   2 XXX...   2 XXX...   2 XXX...
1 XXX...   1 XXX...   1 XXX...   1 XXX...   1 XXX...   1 XXX...   1 XXX...   1 XXX...
0 XXX...   0 XXX...   0 XXX...   0 XXX...   0 XXX...   0 XXX...   0 XXX...   0 XXX...

10011000   10011001   10011010   10011011   10011100   10011101   10011110   10011111
```

```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B XXX...   B ...XXX   B XXXXXX   B ......   B XXX...   B ...XXX   B XXXXXX
A ......   A XXX...   A ...XXX   A XXXXXX   A ......   A XXX...   A ...XXX   A XXXXXX
9 ......   9 XXX...   9 ...XXX   9 XXXXXX   9 ......   9 XXX...   9 ...XXX   9 XXXXXX
8 ......   8 XXX...   8 ...XXX   8 XXXXXX   8 ......   8 XXX...   8 ...XXX   8 XXXXXX
7 ......   7 ......   7 ......   7 ......   7 XXX...   7 XXX...   7 XXX...   7 XXX...
6 ......   6 ......   6 ......   6 ......   6 XXX...   6 XXX...   6 XXX...   6 XXX...
5 ......   5 ......   5 ......   5 ......   5 XXX...   5 XXX...   5 XXX...   5 XXX...
4 ......   4 ......   4 ......   4 ......   4 XXX...   4 XXX...   4 XXX...   4 XXX...
3 ...XXX   3 ...XXX   3 ...XXX   3 ...XXX   3 ...XXX   3 ...XXX   3 ...XXX   3 ...XXX
2 ...XXX   2 ...XXX   2 ...XXX   2 ...XXX   2 ...XXX   2 ...XXX   2 ...XXX   2 ...XXX
1 ...XXX   1 ...XXX   1 ...XXX   1 ...XXX   1 ...XXX   1 ...XXX   1 ...XXX   1 ...XXX
0 ...XXX   0 ...XXX   0 ...XXX   0 ...XXX   0 ...XXX   0 ...XXX   0 ...XXX   0 ...XXX

10100000   10100001   10100010   10100011   10100100   10100101   10100110   10100111
```

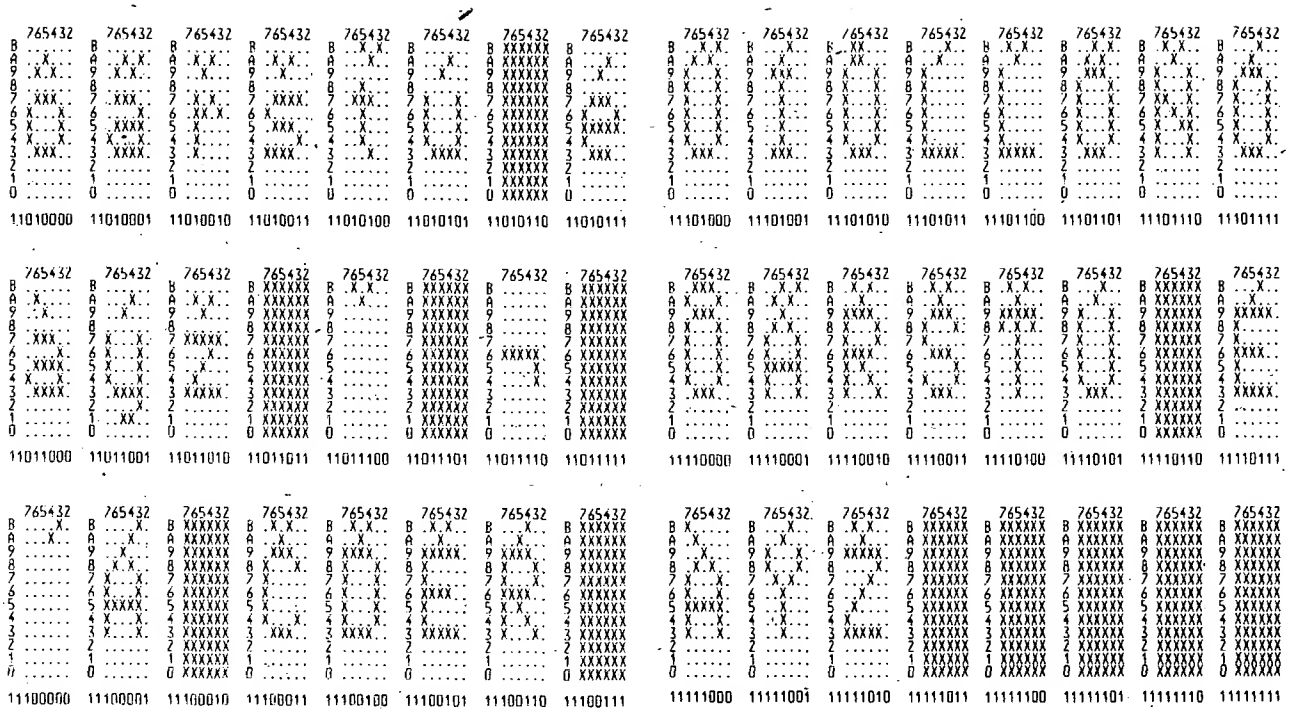
```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B XXX...   B ...XXX   B XXXXXX   B ......   B XXX...   B ...XXX   B XXXXXX
A ......   A XXX...   A ...XXX   A XXXXXX   A ......   A XXX...   A ...XXX   A XXXXXX
9 ......   9 XXX...   9 ...XXX   9 XXXXXX   9 ......   9 XXX...   9 ...XXX   9 XXXXXX
8 ......   8 XXX...   8 ...XXX   8 XXXXXX   8 ......   8 XXX...   8 ...XXX   8 XXXXXX
7 ...XXX   7 ...XXX   7 ...XXX   7 ...XXX   7 XXXXXX   7 XXXXXX   7 XXXXXX   7 XXXXXX
6 ...XXX   6 ...XXX   6 ...XXX   6 ...XXX   6 XXXXXX   6 XXXXXX   6 XXXXXX   6 XXXXXX
5 ...XXX   5 ...XXX   5 ...XXX   5 ...XXX   5 XXXXXX   5 XXXXXX   5 XXXXXX   5 XXXXXX
4 ...XXX   4 ...XXX   4 ...XXX   4 ...XXX   4 XXXXXX   4 XXXXXX   4 XXXXXX   4 XXXXXX
3 ...XXX   3 ...XXX   3 ...XXX   3 ...XXX   3 ...XXX   3 ...XXX   3 ...XXX   3 ...XXX
2 ...XXX   2 ...XXX   2 ...XXX   2 ...XXX   2 ...XXX   2 ...XXX   2 ...XXX   2 ...XXX
1 ...XXX   1 ...XXX   1 ...XXX   1 ...XXX   1 ...XXX   1 ...XXX   1 ...XXX   1 ...XXX
0 ...XXX   0 ...XXX   0 ...XXX   0 ...XXX   0 ...XXX   0 ...XXX   0 ...XXX   0 ...XXX

10101000   10101001   10101010   10101011   10101100   10101101   10101110   10101111
```

```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B XXX...   B ...XXX   B XXXXXX   B ......   B XXX...   B ...XXX   B XXXXXX
A ......   A XXX...   A ...XXX   A XXXXXX   A ......   A XXX...   A ...XXX   A XXXXXX
9 ......   9 XXX...   9 ...XXX   9 XXXXXX   9 ......   9 XXX...   9 ...XXX   9 XXXXXX
8 ......   8 XXX...   8 ...XXX   8 XXXXXX   8 ......   8 XXX...   8 ...XXX   8 XXXXXX
7 ......   7 ......   7 ......   7 ......   7 XXX...   7 XXX...   7 XXX...   7 XXX...
6 ......   6 ......   6 ......   6 ......   6 XXX...   6 XXX...   6 XXX...   6 XXX...
5 ......   5 ......   5 ......   5 ......   5 XXX...   5 XXX...   5 XXX...   5 XXX...
4 ......   4 ......   4 ......   4 ......   4 XXX...   4 XXX...   4 XXX...   4 XXX...
3 XXXXXX   3 XXXXXX   3 XXXXXX   3 XXXXXX   3 XXXXXX   3 XXXXXX   3 XXXXXX   3 XXXXXX
2 XXXXXX   2 XXXXXX   2 XXXXXX   2 XXXXXX   2 XXXXXX   2 XXXXXX   2 XXXXXX   2 XXXXXX
1 XXXXXX   1 XXXXXX   1 XXXXXX   1 XXXXXX   1 XXXXXX   1 XXXXXX   1 XXXXXX   1 XXXXXX
0 XXXXXX   0 XXXXXX   0 XXXXXX   0 XXXXXX   0 XXXXXX   0 XXXXXX   0 XXXXXX   0 XXXXXX

10110000   10110001   10110010   10110011   10110100   10110101   10110110   10110111
```

```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B XXX...   B ...XXX   B XXXXXX   B ......   B XXX...   B ...XXX   B XXXXXX
A ......   A XXX...   A ...XXX   A XXXXXX   A ......   A XXX...   A ...XXX   A XXXXXX
9 ......   9 XXX...   9 ...XXX   9 XXXXXX   9 ......   9 XXX...   9 ...XXX   9 XXXXXX
8 ......   8 XXX...   8 ...XXX   8 XXXXXX   8 ......   8 XXX...   8 ...XXX   8 XXXXXX
7 ...XXX   7 ...XXX   7 ...XXX   7 ...XXX   7 XXXXXX   7 XXXXXX   7 XXXXXX   7 XXXXXX
6 ...XXX   6 ...XXX   6 ...XXX   6 ...XXX   6 XXXXXX   6 XXXXXX   6 XXXXXX   6 XXXXXX
5 ...XXX   5 ...XXX   5 ...XXX   5 ...XXX   5 XXXXXX   5 XXXXXX   5 XXXXXX   5 XXXXXX
4 ...XXX   4 ...XXX   4 ...XXX   4 ...XXX   4 XXXXXX   4 XXXXXX   4 XXXXXX   4 XXXXXX
3 XXXXXX   3 XXXXXX   3 XXXXXX   3 XXXXXX   3 XXXXXX   3 XXXXXX   3 XXXXXX   3 XXXXXX
2 XXXXXX   2 XXXXXX   2 XXXXXX   2 XXXXXX   2 XXXXXX   2 XXXXXX   2 XXXXXX   2 XXXXXX
1 XXXXXX   1 XXXXXX   1 XXXXXX   1 XXXXXX   1 XXXXXX   1 XXXXXX   1 XXXXXX   1 XXXXXX
0 XXXXXX   0 XXXXXX   0 XXXXXX   0 XXXXXX   0 XXXXXX   0 XXXXXX   0 XXXXXX   0 XXXXXX

10111000   10111001   10111010   10111011   10111100   10111101   10111110   10111111
```

```
  765432     765432     765432     765432     765432     765432     765432     765432
B XXXXXX   B ......   B XXXXXX   B ......   B .X.X..   B ......   B ......   B XXXXXX
A XXXXXX   A ...X..   A XXXXXX   A ..X.X.   A ..X...   A .X.X..   A ...X..   A XXXXXX
9 XXXXXX   9 ..X...   9 XXXXXX   9 ...X..   9 ....X.   9 ..X...   9 ..X...   9 XXXXXX
8 XXXXXX   8 ......   8 XXXXXX   8 ......   8 ....X.   8 ......   8 ......   8 XXXXXX
7 XXXXXX   7 .XXX..   7 XXXXXX   7 .XXXX.   7 .XXXX.   7 .XXX..   7 .X.X..   7 XXXXXX
6 XXXXXX   6 ....X.   6 XXXXXX   6 X.....   6 X...X.   6 X...X.   6 .XX.X.   6 XXXXXX
5 XXXXXX   5 .XXXX.   5 XXXXXX   5 X.....   5 X...X.   5 XXXXX.   5 .X....   5 XXXXXX
4 XXXXXX   4 X...X.   4 XXXXXX   4 X.....   4 X...X.   4 X.....   4 .X....   4 XXXXXX
3 XXXXXX   3 .XXXX.   3 XXXXXX   3 .XXXX.   3 .XXXX.   3 .XXX..   3 .X....   3 XXXXXX
2 XXXXXX   2 ......   2 XXXXXX   2 ......   2 ......   2 ......   2 ......   2 XXXXXX
1 XXXXXX   1 ......   1 XXXXXX   1 ......   1 ......   1 ......   1 ......   1 XXXXXX
0 XXXXXX   0 ......   0 XXXXXX   0 ......   0 ......   0 ......   0 ......   0 XXXXXX

11000000   11000001   11000010   11000011   11000100   11000101   11000110   11000111
```

```
  765432     765432     765432     765432     765432     765432     765432     765432
B ......   B ......   B ..X...   B ....X.   B ..X.X.   B ......   B ......   B ......
A ..X.X.   A ...X..   A .X.X..   A ....X.   A ...X..   A ..X.X.   A .X.X..   A ...X..
9 .X.X..   9 ..X...   9 ..X...   9 .XX...   9 .XX...   9 .X.X..   9 ..X...   9 ..X...
8 ......   8 ......   8 ......   8 ..X...   8 ..X...   8 ......   8 ......   8 ......
7 X...X.   7 .XX...   7 X...X.   7 ..X...   7 ..X...   7 .XXX..   7 X.XX..   7 .XXX..
6 X...X.   6 ..X...   6 X...X.   6 ..X...   6 ..X...   6 X...X.   6 XX..X.   6 X...X.
5 X...X.   5 ..X...   5 X...X.   5 ..X...   5 ..X...   5 X...X.   5 X...X.   5 X...X.
4 X...X.   4 ..X...   4 X...X.   4 ..X...   4 ..X...   4 X...X.   4 X...X.   4 X...X.
3 .XXXX.   3 .XXX..   3 .XXXX.   3 .XXX..   3 .XXX..   3 .XXX..   3 X...X.   3 .XXX..
2 ......   2 ......   2 ......   2 ......   2 ......   2 ......   2 ......   2 ......
1 ......   1 ......   1 ......   1 ......   1 ......   1 ......   1 ......   1 ......
0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......   0 ......

11001000   11001001   11001010   11001011   11001100   11001101   11001110   11001111
```



binární kód. Při tvorbě generátorů znaků jsme vycházeli z ČSN 36 9103 „8bitové kódy" a zvolili jsme tabulku kódu KOI-8čs2.

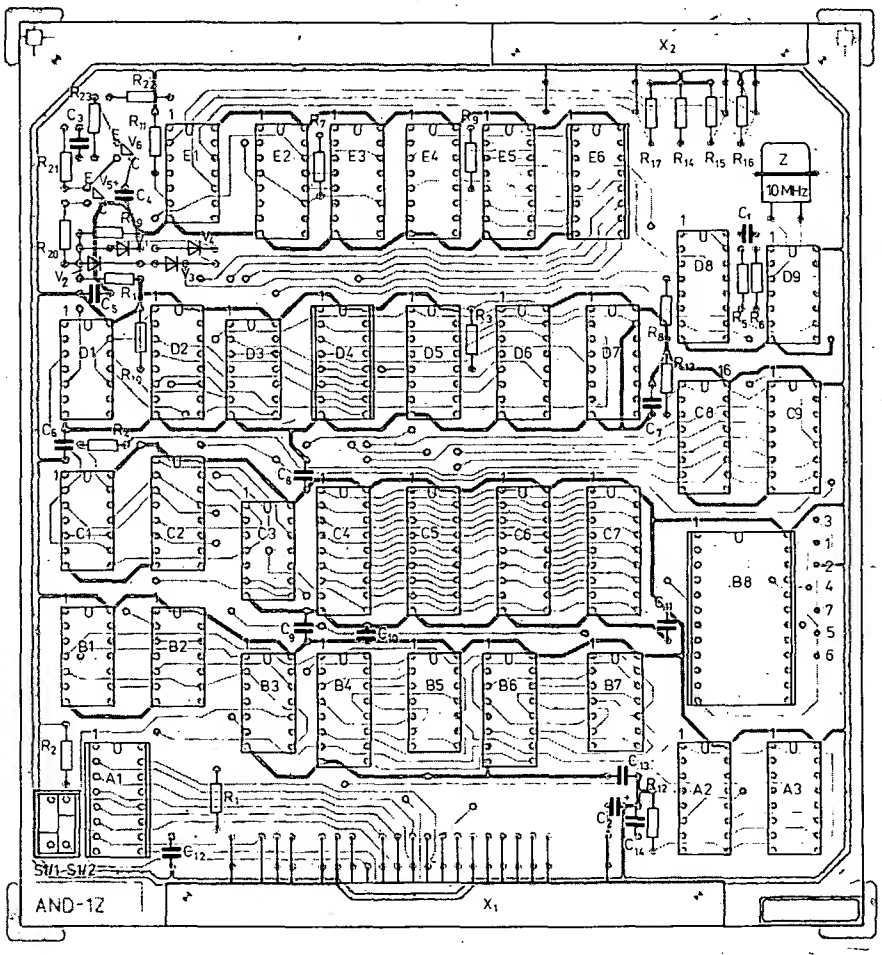
Součástí systému JPR-1Z je také simulátor EPROM, jímž lze snadno odladit generátor znaků; simulátor EPROM lze však používat i trvale ve spojení s deskou AND-1Z a pak máme generátor znaků měnitelný programově.

Za pamětí EPROM je zařazen posuvný registr C8, C9, který převede paralelní informaci z generátoru znaků na sériovou (video). Videosignál je potom vyhradlován se zatmívacími impulsy $\overline{HB}$ a $\overline{VB}$ a zasynchronizován v klopném obvodu D1/5.

Deska JPR-1Z používá ve velké míře obvody ze SSSR. Je to proto, že obvody řady K555 (74LSXX) mají malou spotřebu, a to při rychlosti, odpovídající řadě MH74. Je samozřejmě možné použít obvody řady 74, ale díky velkému odběru proudu zejména čítači 74193 bude klást deska velké požadavky na odběr ze zdroje +5 V a může se stát, že se tím omezí počet desek, které je možno do systému vestavět.

Na obr. 51 a 52 je rozložení součástek na desce AND-1Z. Na obr. 53 je horní strana desky s plošnými spoji a na obr. 54 je spodní strana.

Deska se oživuje v přípravku TST-03. Pro vývoj desky však bylo nutné využít logického analyzátoru, protože časování desky je složité a sledované časy jsou krátké. U desky AND-1Z již není možno kontrolovat průběh zápisu a čtení osciloskopem. Vývoj desky nebyl jednoduchý a stál mnoho sil zejména Vaška, který několikrát předělával desku s plošnými spoji. Na druhé straně jsme s výsledkem spokojeni, protože používání malých písmen a diakritických znamének přiblíží naši výpočetní techniku zase o krůček blíže k lidem. Je přece mnohem příjemnější vidět své jméno napsané správně a ne v angličtině. Nyní bude záležet na programátorech, aby předělali některé programy pro CP/M tak, aby s nimi bylo možné pracovat s rozšířeným souborem znaků (WORDSTAR). Široké možnosti se také otevřou těm, kteří používali systémy VG 3000 a chtěli by programy převést na systémy SAPI-1.



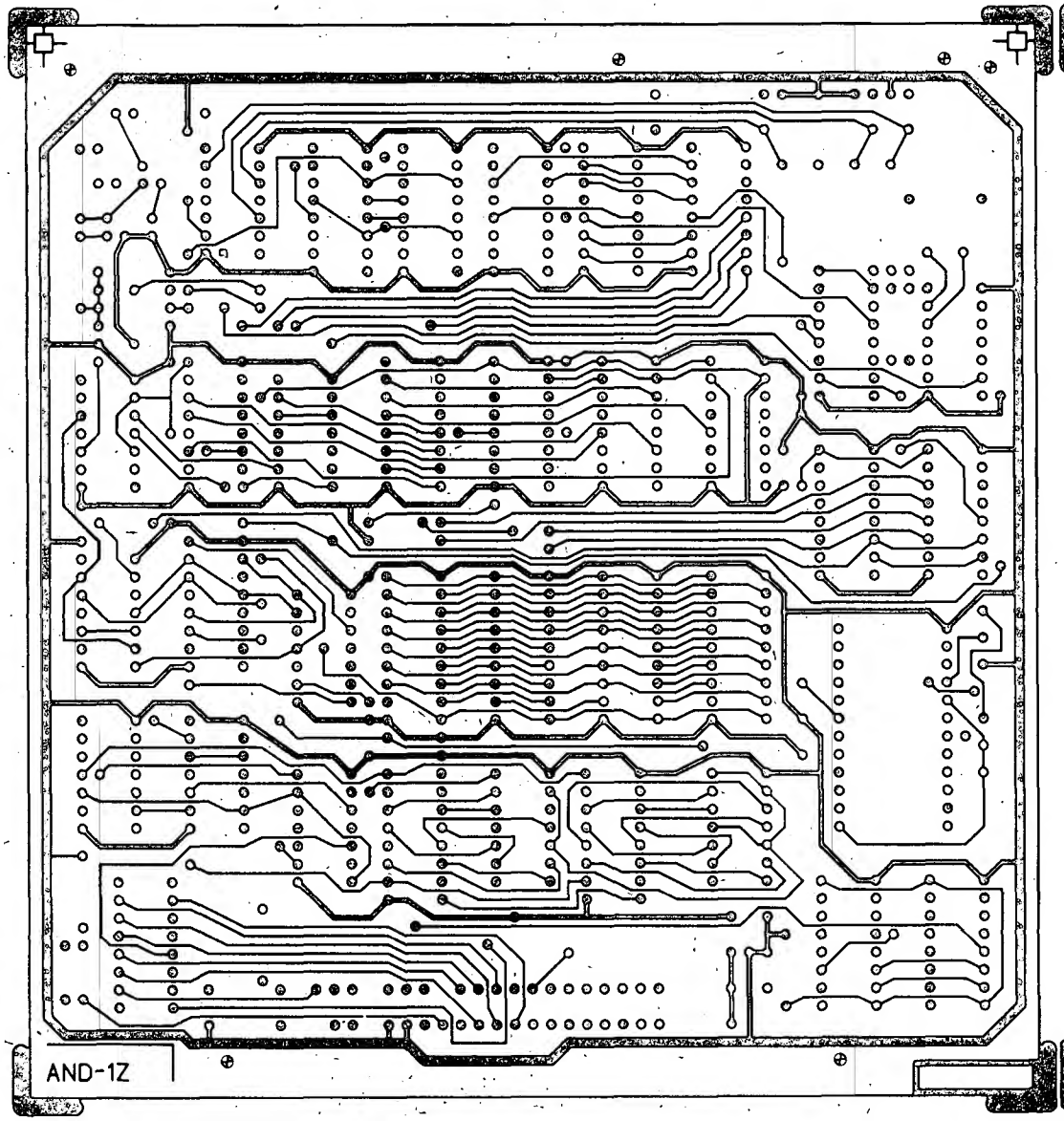
Obr. 51. Deska AND-1Z (viz čtvrtá strana obálky)

Obr. 52. Rozložení součástek na desce AND-1Z

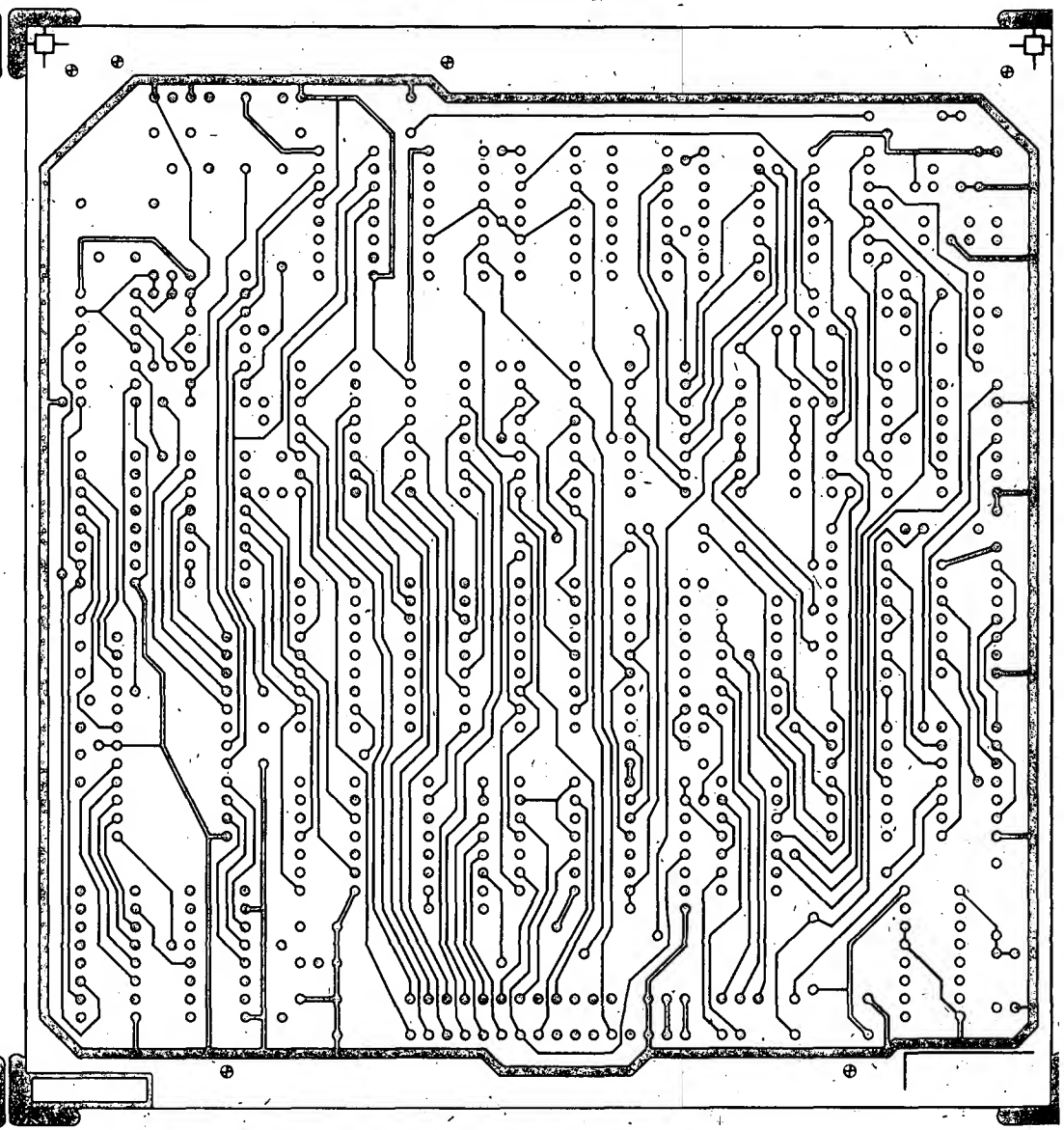
Seznam součástek na desce AND-1Z

Integrované obvody

A1, D4	74S287
A2, A3, C8, C9	74194
B1	74LS00
B2, D9	74LS04
B3	74LS32
B4, B6	74173
B5, B7	74125
B8	2732 (2× 2716)
C1, D1	7474
C2	74LS175



Obr. 53. Deska s plošnými spoji AND-1Z – horní strana



Obr. 54. Deska s plošnými spoji AND-1Z – spodní strana

C3	74LS20
C4 až C7	MHB2114 (250 ns)
D2	74LS174
D3	74LS10
D5, D6, D7	74157 (74LS257)
D8, E2 až E5	74LS193
E1	7406

Rezistory (TR 191, 10 %)

R_1	47 kΩ
R_2, R_3, R_4, R_8, R_{10}, R_{12}, R_{13}	4,7 kΩ
R_5, R_6	2,2 kΩ
R_7, R_9	10 kΩ
R_{11}, R_{14} až R_{17}, R_{21}, R_{23}	1 kΩ
R_{18}	330 Ω
R_{19}	680 Ω
R_{20}	220 Ω
R_{22}	68 Ω

Kondenzátory

C_1	100 pF, TK 795
C_2, C_4	6,8 µF, TE 125
C_3, C_5 až C_9, C_{11} až C_{14}	47 nF, TK 783
C_{10}	15 nF, TK 783

Ostatní součástky

konektory FRB	TY517 6211 (X_1)
	TY517 3011 (X_2)
V_1 až V_4	dioda KA206
V_5	tranzistor KSY81
V_6	tranzistor KSY71
krystal 10 MHz	
přepínač DIL 2	
objímka DIL 16, 3 ks (A1, D4, E6)	
objímka DIL 24 (B8)	

Deska řadiče flopydisků, RPD-1Z

Deska řadiče pružných disků (flopydisků) RPD-1Z pouze doplňuje toto číslo AR řady B. Na desce je použit jednočipový řadič Intel 8271; který nebude ani u nás, ani v zemích RVHP vyráběn. Tento obvod je však u nás poměrně rozšířen ještě z dob, kdy se podobné součástky prodávaly. Víme, že obvod je v zahraničí v současné době dražší než jeho následovník 8272, který „umí" i dvojnásobnou hustotu záznamu. Jsme si také vědomi toho, že většina řadičů publikovaných v literatuře používá obvody řady FD179X od firmy Western-Digital. Přesto jsme zvolili řadič firmy Intel, a to proto, že orientace na výrobky této firmy se ukázala po úspěchu osobního počítače IBM PC jako velmi správná. IBM PC je postaven z čipů firmy Intel (8088, 8237A-5, 8253-5, 8255A-5, 8259A, 8048, 8087 a 8272) a proto je i pro nás nejperspektivnější řadič Intel 8272. Desku RPD-1Z bereme jako přípravu na vývoj a používání řadičů disků kompatibilních s IBM PC.

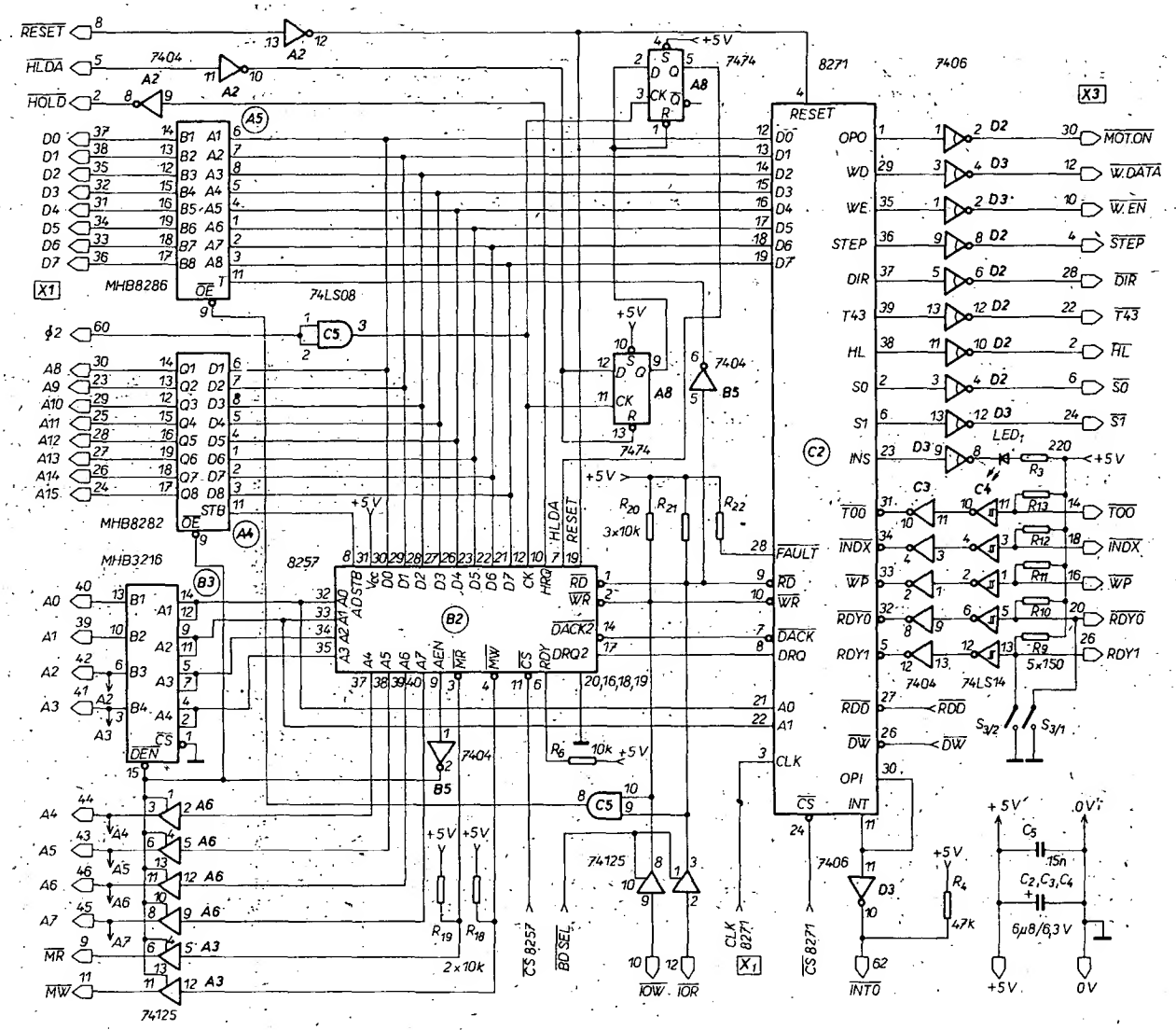
Deska RPD-1Z vychází z desky iSBC 204, která byla součástí u nás velmi rozšířených vývojových systémů firmy Intel. Programování desky RPD-1Z se prakticky neliší od programování této desky, pouze na desce iSBC 204 jsou dva čipy I8271 pro čtyři mechaniky disků.

K desce RPD-1Z je možno připojit buď dva standardní flopydisky 8" nebo dva minidisky 5,25" s jednoduchou hustotou záznamu. My připojujeme jednotky CONSUL 7113, protože jsou spolehlivější než jednotky MOM z MLR. Jednoduchá hustota záznamu je pro operační systém CP/M standardní a většina programů je na disketách 8" s formátem IBM. Desku RPD-1Z je možno používat i v základním systému SAPI-1 pod programem MIKROBASIC, protože používá pro přenos dat DMA a nevyžaduje rychlé rutiny ve strojovém kódu. Deska je určena pro vývojový systém JPR-1Z, pro který pak, díky jednodiskovému řadiči, stačí čtyři desky (JPR-1Z, RAM-1Z, RPD-1Z a deska AND-1Z nebo DSM-1). Poslední volba je dána tím, zda použijeme terminál SM 7202 nebo TV přijímač.

Popis zapojení

Schéma desky je rozděleno na tři části. První část (obr. 55) obsahuje obvody pro přenos DMA a vlastní čip řadiče 8271. Druhá část (obr. 56) obsahuje dekodér adresy a třetí část (obr. 57) zapojení časové základny a oddělovače dat z disku.

Nejdříve se podíváme na dekodér adresy (obr. 56). Dekodér je zapojen standard-



Obr. 55. Schéma desky RPD-1Z, část 1 – DMA a řadič 8271

ně jako u desky DSE-1. Přepínač umožňuje volit horní čtyři bity adresy periférie a v systému JPR-1Z jsou všechny přepínače sepnuty, takže používáme adresy OX HEX. Dekodér adresy se však přece jen trochu liší od desky DSE-1. Pomocí vstupu A = B (A8/3) je dekodér adresy blokován signálem $\overline{AEN}$, který je aktivní při cyklu DMA. Je to proto, že se na sběrnici adres při přenosu DMA objevují adresy paměti a dekodér adresy by mohl reagovat na adresu paměti. Tím by se objevil signál $\overline{BD\ SEL}$ (deska vybrána) a to by nebylo dobré. Právě proto, že systém SAPI-1 nepočítal od začátku s použitím přenosu DMA na sběrnici (byla to naše chyba a ne záměr), není dnes možné jednoduše rozšiřovat přenos DMA u systému SAPI-1. Všechny dekodéry adres přídavných zařízení (počínaje deskou DSM-1) by musely být blokovány signálem AEN, podobně jako jsme je blokovali signálem RESET. Nebyla-li tato filozofie zachována od počátku, nedá se dnes dělat nic jiného, než umístit obvod DMA 8257 přímo na desku té periférie, která bude přenos DMA používat a zajistit blokování na této desce. Tím je přenos DMA omezen pouze na jednu desku, i když je řadič DMA 8257 čtyřkanálový. V té době, kdy jsme dělali JPR-1, však toto blokování nedodržovala ani firma Intel a jen díky tomu, že má víceprocesorovou sběrnici, může mít i více desek s DMA. Řadič DMA však musí mít každá deska svůj jako u našeho systému. Z chyb se člověk učí a tak systém JPR-2 již bude mít blokování správné a bude moci využít všech čtyř kanálů DMA.

Dekodér adresy je dvoustupňový a obvod 74LS138 (MH3205) zajišťuje dekódování adresových bitů A2 a A3. Jelikož v systému JPR-1Z jsou již obsazeny adresy periférií 0, 1, 2 a 3 obsluhou klopného obvodu BOOT a porty na desce JPR-1Z, využívá řadič RPD-1Z adres 4, 5, 6, 7, 8, 9, A a B pro výběr obvodu 8257 (B2) a adres C, D, E a F pro výběr obvodu 8271 (C2). Upozorňuji na to, že obvod DMA 8257 není adresován plně a program nemá přístup do registrů kanálů 0 a 1 a používá pouze kanály 2 a 3.

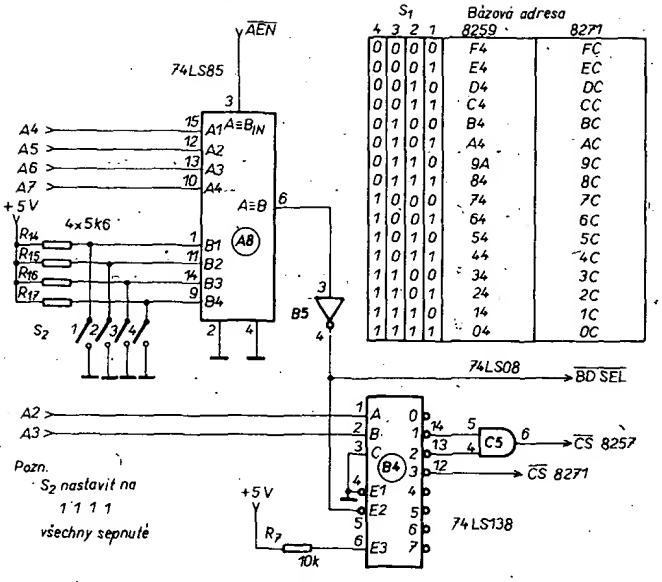
Hlavní část schématu RPD-1Z (obr. 55) je zapojena standardně podle katalogu. Obvod MHB8286 je obousměrný zesilovač sběrnice (A5) a odděluje data. Obvod je třístavový a do aktivního stavu je uveden součtem signálů $\overline{RD}$ a $\overline{WR}$ (C5/8). Směr přenosu je řízen signálem $\overline{RD}$ (B5/6). Tyto dva signály mají daleko širší význam než u běžných desek periférie. Je-li vybrána deska signálem $\overline{BD\ SEL}$ z dekodéru adresy, pak jsou signály $\overline{RD}$ a $\overline{WR}$ kopií signálů $\overline{IOR}$ a $\overline{IOW}$ sběrnice mikropočítače. Při přenosu DMA, kdy je $\overline{BD\ SEL}$ zablokován, generuje signály $\overline{RD}$ a $\overline{WR}$ obvod DMA 8257 současně se signály MR a MW. Při čtení z disku se čte širším signálem $\overline{RD}$ znak z řadiče 8271 a zapíše se úzkým signálem $\overline{MW}$ do paměti. Při zápisu na disk se čte širším impulsem $\overline{MR}$ znak z paměti a zapíše se úzkým signálem $\overline{WR}$ do obvodu 8271. Proto musí být datový zesilovač A5 řízen právě těmito signály.

Obvod MHB8282 (A4) je registr horního byte adresy při přenosu DMA. Obvod DMA 8257 pracuje podobně jako například mikroprocesor 8085. Aby ušetřil vývody pouzdra, vydává adresu DMA, která musí být 16bitová, nadvakrát. Na začátku cyklu DMA vyšle po svých datových vývodech horní byte adresy a současně vyšle potvrzovací impuls ADSTB (B2/8). Tímto impulsem se horní byte adresy zapíše do registru A4 a pak se datové vývody uvolní pro hlavní funkci, tj. pro přenos dat. Adresa uložená v registru je vysílána na sběrnici až tehdy, je-li aktivní signál AEN (B2/9) (address enable).

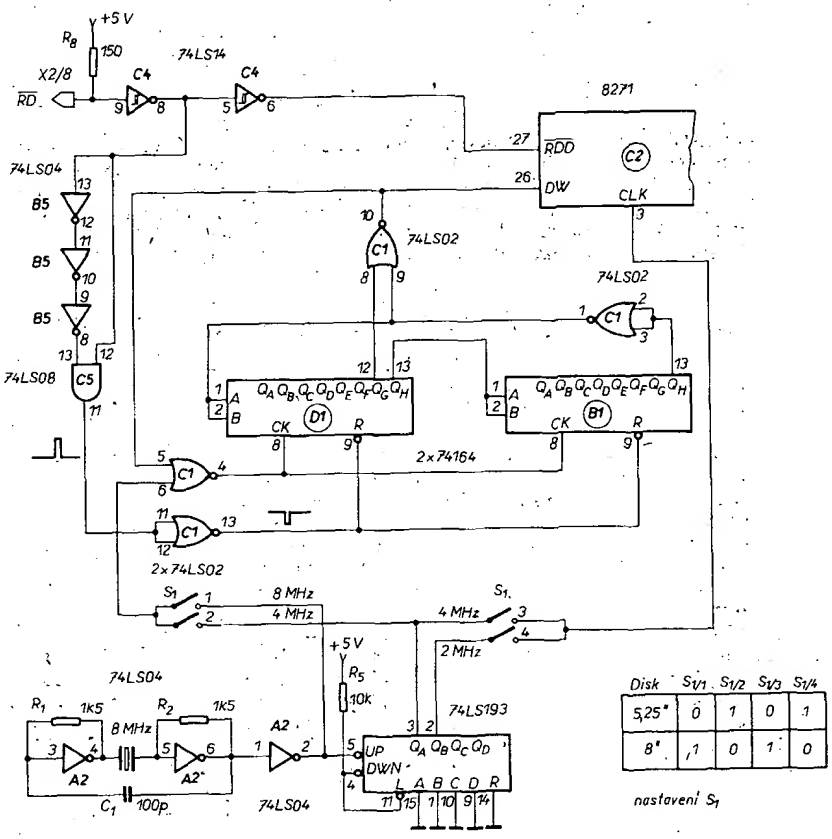
Obvod MH3216 (B3) tvoří obousměrný zesilovač spodních čtyř bitů nižšího byte adresy. Tyto bity musí jít přes obousměrný zesilovač proto, protože při programování obvodů 8257 a 8271 musí směřovat „do desky" a při přenosu DMA zase „z desky", protože adresují paměť.

Horní čtyři bity spodního byte adresy již mohou být vysílány pouze třístavovými vysílači na sběrnici, protože se adresace čipů nezúčastňují. U obvodu B3 se signálem $\overline{AEN}$ ovládá směr přenosu a u obvodu A6 se signálem $\overline{AEN}$ aktivují hradla ze třetího stavu.

Nyní si něco řekněme o vlastním průběhu cyklu DMA. Předpokladem je, že oba obvody jsou správně inicializovány a naprogramovány na čtení nebo zápis. Uvažujme nejprve, že se bude číst z disku, takže bude nutné každých 32 µs přenést jeden znak z řadiče 8271 do paměti. Má-li řadič 8271 připraven sériově přečtený znak z disku, aktivuje signál DMA request (DRQ = „1", C2/8). Obvod 8257 požadavek vyhodnotí a požádá procesor o DMA tím, že vyšle HRQ = „1" (B2/10), což představuje na sběrnici po inverzi hrad-

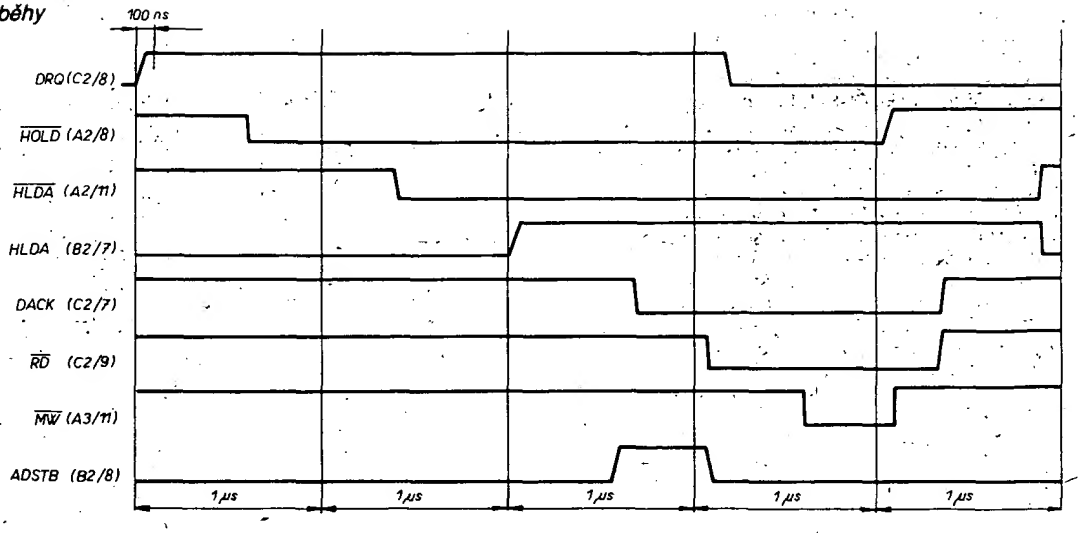


Obr. 56. Schéma desky RPD-1Z, část 2 – dekodér adresy



Obr. 57. Schéma desky RPD-1Z, část třetí – oddělovač dat a „hodiny"

Obr. 58. Změřené průběhy cyklu DMA



lem A2/8 požadavek HOLD. Nyní zase vyhodnotí požadavek procesor a vyšle signál HLDA = „0" po sběrnici systému. Signál o zapůjčení sběrnice pro přenos DMA je na desce RPD-1Z zpožděn klopnými obvody A7/9 a A7/5 o 500 ns a přiveden na vstup HLDA (B2/7) obvodu 8257. Zpoždění je nutné kvůli refrešovacím obvodům na desce RAM-1, které kopírují vnitřní zapojení Z80, ale při použití procesoru 8080A (JPR-1, JPR-1A) probíhá refreš ještě ve chvíli, když již je požadavek na DMA potvrzen signálem HLDA. Je to způsobeno tím, že 8080A dává potvrzení dříve než mikroprocesor Z80. Po příchodu HLDA je pánem sběrnice obvod 8257 se svými registry a zesilovači adres a řídicích signálů. Nejprve vydá signál AEN, který aktivuje vysílače adres a zablokuje dekodér adres. Pak dá na datovou sběrnici horní byte adresy a vydá STSTB. Adresa se zapíše do registru A4. Současně po výstupech A0 až A7 pošle spodní byte adresy paměti. Potom 8257 aktivuje výstup DACK 2 a tím řadiči 8271 řekne, že je vše připraveno pro přenos dat. Jelikož popisujeme čtení, bude sekvence pokračovat takto: Řadič 8271 si při režimu DMA vyloží signál DACK jako CS, to znamená, že bude reagovat na signály RD a WR i při CS = „1". Po chvíli obvod 8257 vydá signál RD = „0" a tím se na datovou sběrnici obvodu 8271 dostane přečtený znak. Tento znak projde až na datovou sběrnici mikropočítače, protože zesilovač dat je otevřen správným směrem – ven z desky. Pak vydá obvod 8257 signál MW a ten zapíše data na adresu paměti A0 až A15. Potom se zase vše uvede postupně do původního stavu, až skončí požadavek na DMA (HOLD), procesor přeruší HLDA a program pokračuje tam, kde přestal. Při zápisu na disk je změněna pouze sekvence čtení a zápisu z obvodu 8271 a paměti. Nejprve se pošle MR do paměti a data z paměti se přes zesilovač A5 dostanou na vstupy D0 až D7 řadiče 8271. Pak vydá 8257 signál WR a zapíše data do řadiče.

Na obr. 58 jsou skutečné časové průběhy naměřené s počítačem JPR-1 v základní sestavě systému SAPI-1 při čtení z disku.

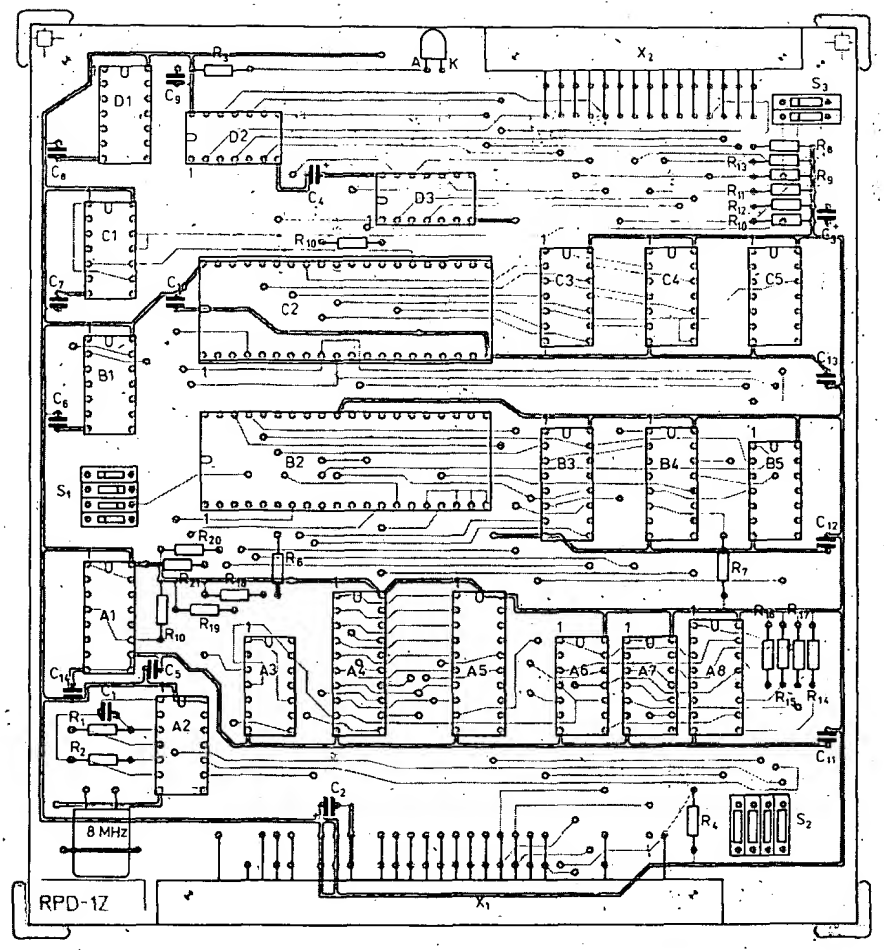
Posledními obvody, o kterých jsme ještě nehovořili, jsou přijímače signálů z diskové jednotky a vysílače řídicích signálů a dat do diskové jednotky. Na obr. 59 je zapojení kabelu mezi deskou RPD-1Z a diskovými mechanikami CONSUL 7113. Jednotky mohou být připojeny k řadiči dvě a všechny signály jsou na ně přivedeny paralelně, kromě dvou signálů výběru jednotky. Všechny výstupní signály jsou na desce RPD-1Z zesíleny invertujícími hradly s otevřenými kolektory a výkonovými výstupy 7406 (D2, D3). Vstupní signály jsou nejprve ošetřeny rezistory (150 Ω na +5 V) a pak následuje tvarovač 74LS14 (v nouzi může být 7404) a ještě invertor, protože všechny vstupy pracují v negativní logice. Signály RDY mají na vstupech přepínač, který je umožní uzemnit, protože jen málo diskových mechanik tento signál o připravenosti jednotky vydává. Navíc je využit výstup INS řadiče 8271 (C2/C3), jehož stav je indikován diodou LED. Svítí-li dioda, pak se řadič zasynchronizoval na značku zapsanou na disku. Při práci řadiče pak dioda bliká v rytmu správného čtení a zápisu.

Signály RDD (čtená data z disku), DW (datové okno) a CLK (hodiny) přicházejí do řadiče z obvodů na obr. 57. Z kmitočtu 8 MHz vzniká hodinový signál obvodu 8271. Kmitočet 4 MHz je pro disk 8" a kmitočet 2 MHz pro disk 5,25". Kmitočty 8 a 4 MHz jsou pro oddělovač dat, opět podle disku 8" nebo 5,25". Oddělovač dat pracuje jako monostabilní obvod. Obvodu 8271 stačí, když mu oddělovač dat řekne pomocí signálu DW, že je mezera mezi impulsy větší než 2 µs. Při zapsaných „jedničkách" je mezera mezi impulsy z disku 2 µs a při „nulách" 4 µs. Oddělovač je tvořen posuvným registrem (B1 a D1). Tento registr odměřuje čas po 125 ns (8 MHz). Na výstup Q_H druhého posuvného registru se dostane jednička za 16 taktů. Pak se však ještě musí dostat nula na výstup Q_C prvního registru a to trvá dalších 7 taktů, celkem tedy 23 taktů po 125 ns, tj. 2,875 µs. V katalogu je předepsáno 2,85 µs. Posuvný registr se příchodem každého impulsu z disku nuluje přes derivační obvod (B5 a C5) a po dosažení okamžiku, kdy hradlo C1/10 indikuje DW = „1", se čítání času zastaví. Tím je realizován přesný monostabilní obvod nezávislý na toleranci součástek a na teplotě. Jeho „dobu kyvu" je možno přepínačem prodloužit na dvojnásobek přepnutím hodin z 8 MHz na 4 MHz pro malý disk.

Na obr. 60 a 63 je rozložení součástek na desce RPD-1Z. Na obr. 61 je horní strana desky s plošnými spoji a na obr. 62 je spodní strana. Před osazováním desky je třeba nejprve zajistit si obvod 8271 a to nebude pro většinu jednoduché. Budete-li obvod mít, pak postavit řadič není složité. Protože programovým vybavením JPR-1Z se budeme teprve zabývat, nabízím vám pro pochopení funkce a pro první testování desky program, který napsal Honza v MIKROBASIC pro základní sestavu SAPI-1. Listning programu je na obr. 64.

Špička	Název signálu	RPD-1Z X_2	Špička	Název signálu	RPD-1Z X_2
7	výstupní data	8	32	stínění	13
8	stínění	7	33	přiklopení hlavy	2
9, 10	klíč		34	stínění	1
11	blokování zápisu		35	zápis	10
12	stínění		36	stínění	9
13	nulování blokování zápisu	15	37	index	18
14	stínění		38	stínění	17
15	Z −5 V		39	sector	
16	Z zem		40	stínění	
19	Z +24 V		41	data zápisu	12
20	Z zem		42	stínění	11
23	Z +5 V		43	krok	4
24	Z zem		44	stínění	3
25	nízký proud	22	45	směr	28
26	stínění	21	46	stínění	27
27	sector		47	select	6/24
28	stínění		48	stínění	5/23
29, 30	klíč		49	Z +24 V – výkonová část	
31	stopa 00	14	50	Z zem	

Obr. 59. Zapojení kabelu k mechanice CONSUL 7113, vodiče označené Z jdou na napájecí zdroj disku



Obr. 60. Rozložení součástek na desce RPD-1Z

Seznam součástek desky RPD-1Z

Integrované obvody

A1	74LS193
A2, C3, B5	74LS04
A3, A6	74125
A4	MHB8282
A5	MHB8286
A7	MH7474
A8	74LS85
B1, D1	74164
B2	KR580IK57
B3	MH3216
B4	74LS138
C5	74LS08
C1	74LS02
C2	I8271
C4	74LS14
D2, D3	7406

Rezistory (TR 191, 10 %)

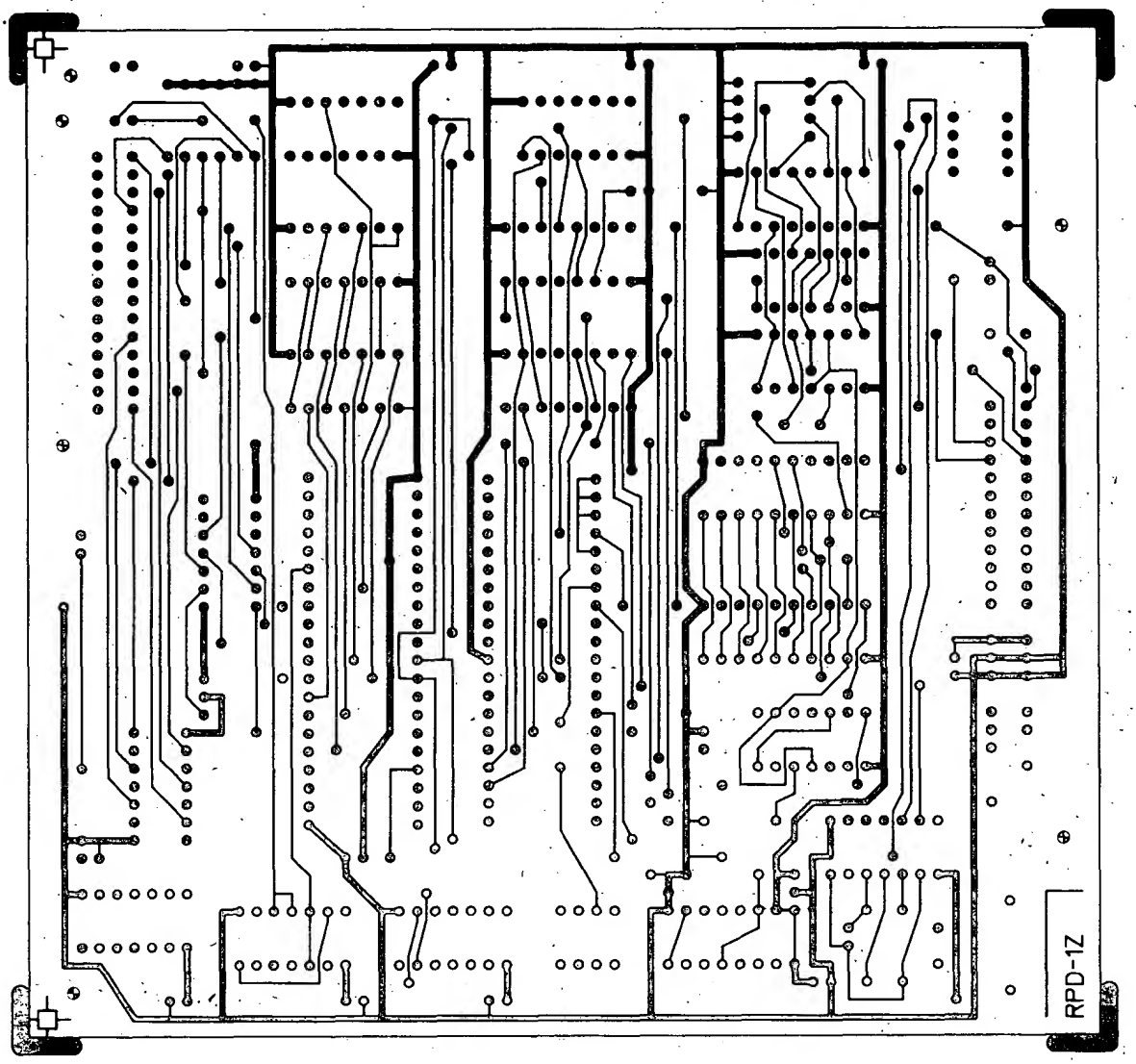
R_1, R_2	1,5 kΩ	R_5, R_6, R_7,	
R_3	220 Ω	R_{18} až R_{22}	10 kΩ
R_4	4,7 kΩ	R_8 až R_{13}	150 Ω
		R_{14} až R_{17}	5,6 kΩ

Kondenzátory

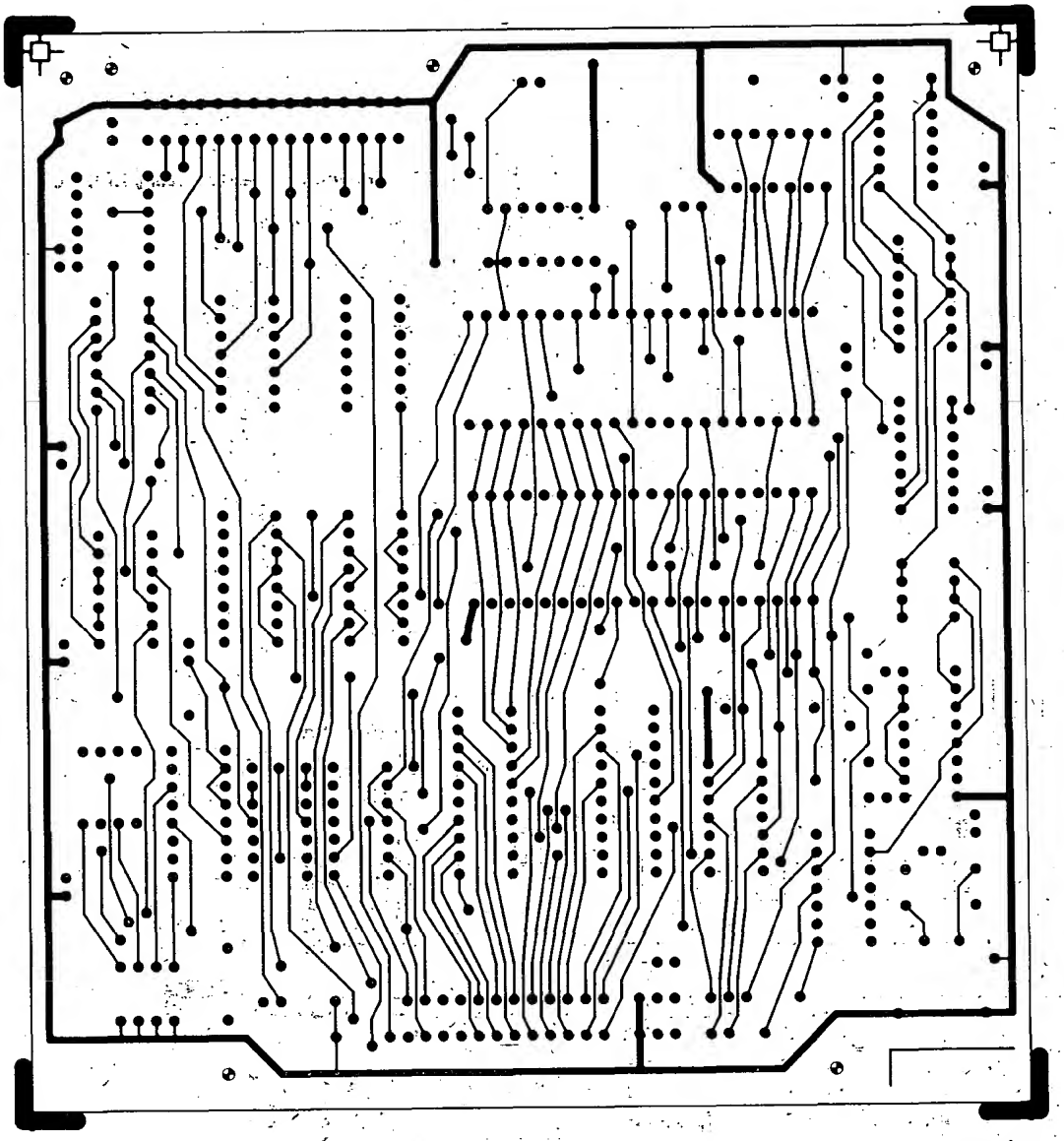
C_1	100 pF, TK
C_2, C_3, C_4	6,8 µF, TE 121
C_5 až C_{14}	15 nF, TK 783

Ostatní součástky

3 přepínače DIL
krystal 8 MHz
dioda LQ113
konektor FRB TY517 6211 (X_1)
konektor FRB TY513 3011 (X_2)



Obr. 61. Deska s plošnými spoji RPD-1Z – horní strana



Obr. 62. Deska s plošnými spoji RPD-1Z – spodní strana

Obr. 63. Deska RDP-1Z (viz čtvrtou stranu obálky)

```
MONITOR
*R
READY
>.
  10 REM
  20 REM TEST RPD-1Z
  30 REM
  40 REM V080785JM TESLA ELSTROJ
  50 REM
  60 GOS.900
 100 G.7000
 890 END
 900 REM PROGRAM INIT
 910 F=12:REM BAZE FDC
 920 D=H.4):REM DMAC BAZE
 930 RE.
1000 REM WAIT FDC BUSY
1005 P."CEKAME NA NOT BUSY
1010 MA.128:IFINM(F)G.1010
1015 P."NENI BUSY
1020 RE.
2000 REM DMAC INIT
2005 P."INIT DMAC
2010 OUTD+4,H.44)
2020 OUTD+1,127
2030 IFAOUTD+1,128:G.2050
2040 OUTD+1,64
2050 OUTD,PE.(H.40C3))
2060 OUTD,PE.(H.40C4))
2070 RE.
3000 REM PARAM
3005 P."CEKAME NA PARAM ",P
3010 MA:32:IFINM(F)G.3010
3020 OUTF+1,P
3025 P."PARAM PREDAN
3030 RE.
4000 REM RESULT
4005 P."CEKAME NA RESULT
4010 MA.8:IFINM(F)=0G.4010
4020 MA.255:R=IN(F+1)
4025 P."RESULT JE ",:BY.(R):P.
4030 RE.
5000 REM FDC RD WR
5010 GOS.1000
5020 GOS.2000
5030 IFAOUTF,H.4A):G.5050
5040 OUTF,H.52)
5050 P=T
5060 GOS.3000
5070 P=S
5080 GOS.3000
5090 GOS.4000
5095 P."RD/WR UKONCENO
5100 IFR=0P."CC OK
5110 IFR=8P."CC CLK ERROR
5120 IFR=10P."CC LATE DMA
5130 IFR=12P."CC ID FIELD CRC ERROR
5140 IFR=14P."CC DATA FILED CRC ERROR
5150 IFR=16P."CC DRIVE NOT READY
5160 IFR=18P."CC WRITE PROTECT
5170 IFR=20P."CC TRK 00 NOT FOUND
5180 IFR=22P."CC WRITE FAULT
5190 IFR=24P."CC SECTOR NOT FOUND
5200 RE.
6000 REM FDC INIT
6005 P."FDC INIT
6010 OUTF+2,1
6020 OUTF+2,0
6025 GOS.1000
6030 OUTF,H.35)
6040 P=H.D):GOS.3000
6050 P=8:GOS.3000
6060 P=23:GOS.3000
6070 P=16*8+9:GOS.3000
6100 F=I=0T01
6105 GOS.1000
6110 OUTF,H.35)
6120 P=H.10)+8*I:GOS.3000
6130 P=-1:GOS.3000
6140 P=-1:GOS.3000
6150 P=-1:GOS.3000
6160 N.I
6165 P."SPECIFY HOTOVO
6170 GOS.1000
6180 OUTF,H.69)
6190 P=0:GOS.3000
6200 GOS.4000
6210 GOS.5100
6215 P."FDC INIT HOTOVO
6220 RE.
7000 REM MINI TEST
7010 GOS.6000
7020 P."CTENI/ZAPIS? ",
7030 B=I.
7040 IFB=`C`G.7500
7050 IFB#`Z`G.7030
7055 P."ZAPIS
7060 GOS.8000
7070 P."ZADEJ TEXT
7080 INT.
7090 H=T.
7100 A=1
7110 GOS.5000
7120 G.7020
7500 GOS.8000
7505 P."CTENI
7510 A=0
7520 H=T.
7530 GOS.5000
7535 P."PRECTENA DATA
7540 OUT.
7545 P.
7550 G.7020
8000 IN."STOPA"T
8010 IN."SEKTOR"S
8020 RE.
9000 REM RD ID
9010 GOS.1000
9020 A=0
9030 GOS.2000
9040 OUTF,H.5B)
9050 P=1:GOS.3000
9060 P=0:GOS.3000
9070 P=26:GOS.3000
9080 GOS.4000
9090 GOS.5100
9100 RE.
```

Obr. 64. Program pro testování RPD-1Z

Deska simulátoru paměti EPROM, DSE-1

Jak jsem již napsal v čísle AR řady B, které se zabývalo JPR-1, simulátor paměti EPROM je velice užitečný pomocník. Pomocí něj se dají odladit programy pro aplikace systému SAPI-1, ale právě to, že je nezávislý na typu procesoru v dané aplikaci, umožňuje „ladit" programy jednočipových mikropočítačů MHB8035 nebo ladit generátory znaků, tabulky konstant atd. Pro systémy rychlých řezových mikroprocesorů máme postaven i simulátor paměti PROM MH2871 pro délku 40 bitů, pracující v systému SAPI-1. Bez tohoto simulátoru bychom si dnes nedovedli postup při oživování rychlého řadiče pásku nebo disku představit.

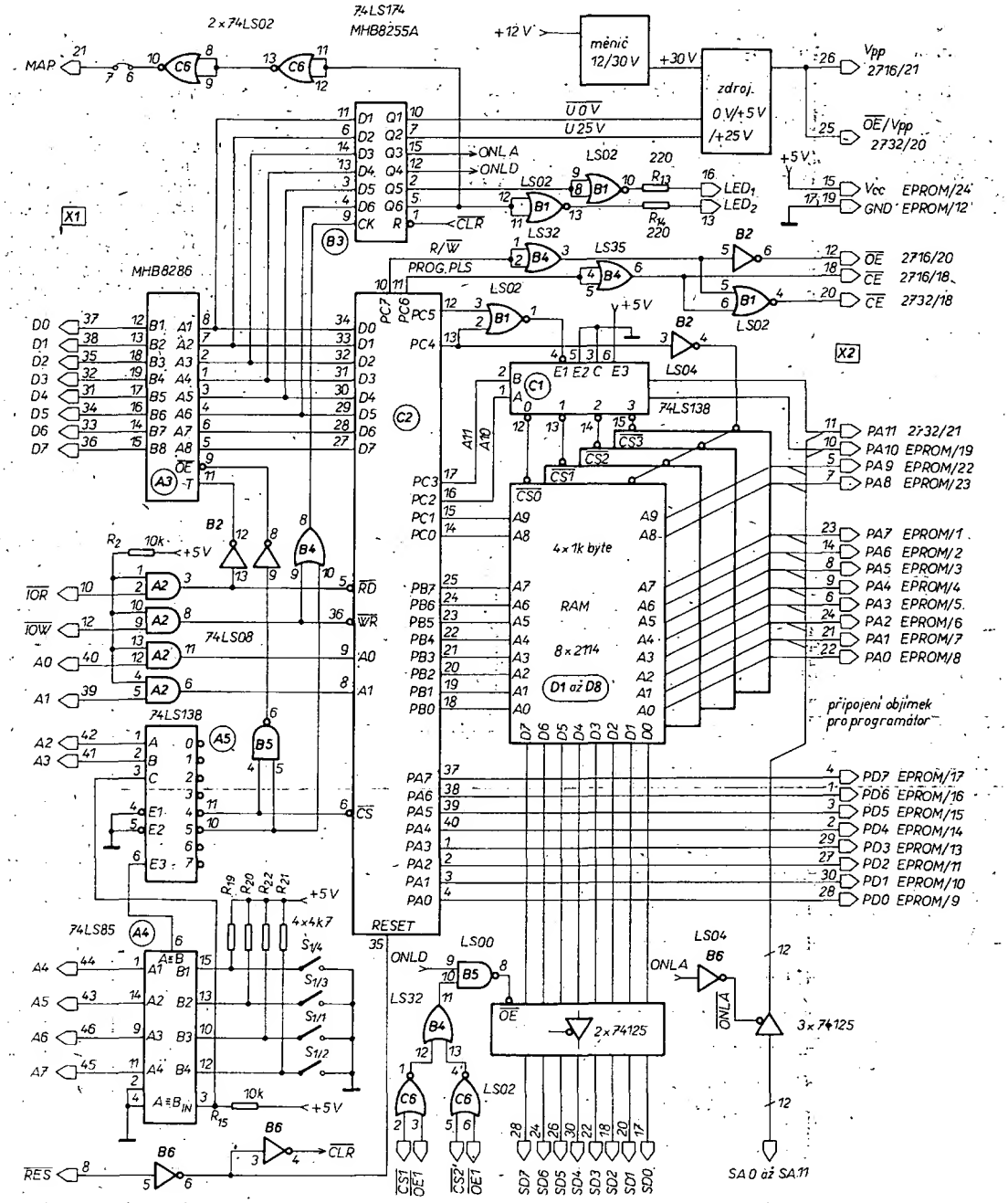
Simulátor EPROM postavený z běžných obvodů jsem sliboval popsat již dávno. Nakonec se ukázal jako složitý a proto jsme přešli na využití JPR-1 při simulaci paměti EPROM. Takové ladění pak ovšem vyžaduje dva počítače, jeden, v němž je simulátor, a druhý, jehož aplikaci odlaďujeme. Ladíme-li třeba generátor znaků nebo rutiny, uložené na vyšších adresách, vystačíme i s jedním počítačem, ale tyto případy jsou výjimkou, protože většina aplikačních programů začíná od nuly.

Když jsme vyvíjeli simulátor paměti EPROM, nezapomněli jsme na to, že odladěnou paměť je nejlepší hned naprogramovat, aby nevznikly zbytečné chyby při přepisování dat na děrnou pásku a podobně. Proto je na desce DSE-1 programátor pamětí 2716 a 2732. Musím se však přiznat, že s deskou DSE-1 je to podobné jako se simulátorem v první práci o JPR-1. Zase jsme ho dělali jako poslední a v době, kdy píši tyto řádky, ještě nemáme programové vybavení. Otázkou programového vybavení vývojového systému s JPR-1Z se však bude zabývat samostatný článek v AR nebo AR B a do té doby vše doženeme. Proto se nezlobte, že je zde jen popis hardware a že se nezabývám otázkou programování.

Popis zapojení desky DSE-1

Schéma desky je opět rozděleno na tři části, protože se velká schémata do časopisu nevejdou. Na první části (obr. 65) je zapojení obvodu MHB8255A, který je použit pro plnění a čtení paměti RAM, která potom bude simulovat paměť EPROM. Současně tento obvod slouží k zajištění generace adres a dat při programování pamětí EPROM. Na druhé části (obr. 66) jsou vstupní a výstupní obvody pro připojení simulátoru. Na třetí (obr. 67) je měnič a zdroj.

V první verzi simulátoru, který pracoval rok bez desky s plošnými spoji jako „zadrátovaný" vzorek, jsme použili pro přístup do paměti RAM multiplexery, podobně jako je tomu u videopaměti desek AND-1 nebo AND-1Z. Toto řešení je nejobvyklejší, avšak simulátor zabere adresový prostor 4 Kbyte a my jsme chtěli u vývojového systému paměti RAM šetřit pro velké programy. Proto je přístup do paměti RAM simulátoru DSE-1 přes instrukce I/O (IOR, IOW).



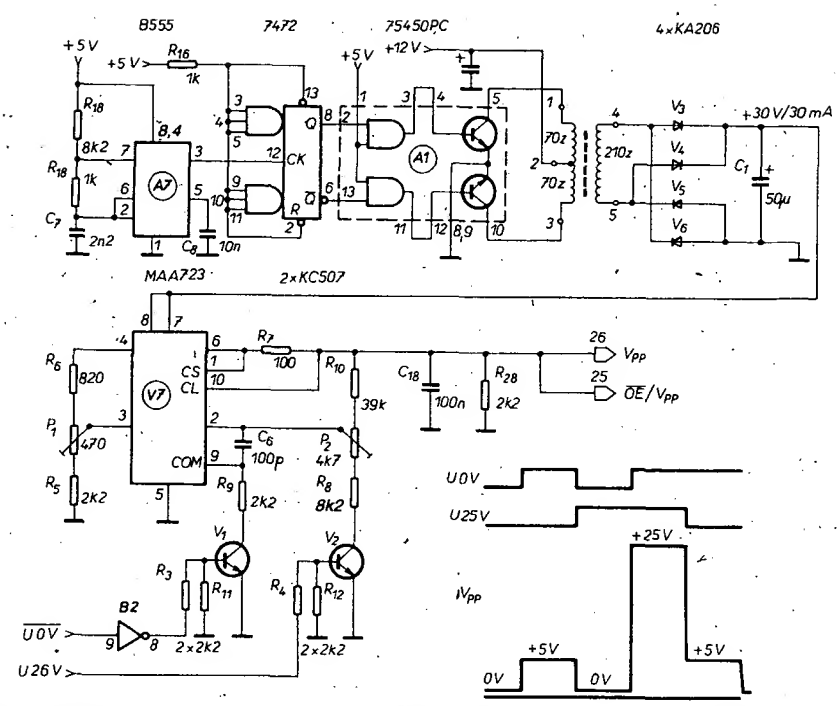
Obr. 65. Schéma desky DSE-1, část 1 – sběrnice a obvod 8255A

Zapojení obvodů sběrnice se v průběhu vývoje systému SAPI-1 standardizovalo tak, že se prakticky mění jen podle počtu adres, které potřebujeme pro vnitřní adresaci na desce (A0, A1 atd.).

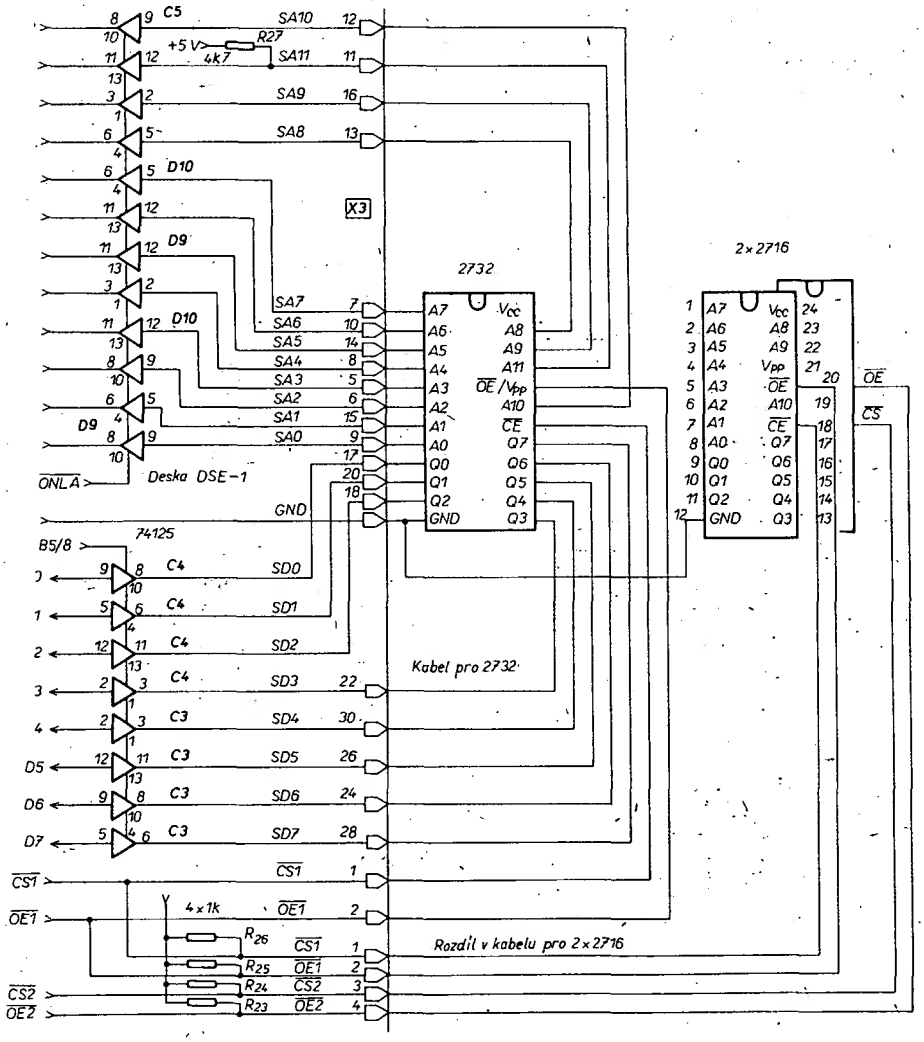
Jako dekodér adres se po počátku dodávek číslicových přepínačů DIL z n. p. TESLA Jihlava nejlépe osvědčily obvody 74LS85 (nebo i 7485), které umí komparovat čtyři bity proti sobě. Na jedny vstupy zapojíme přepínač DIL ošetřený rezistory a na druhé horní čtyři adresové bity (A7, A6, A5 a A4). Přepínačem se pak nastavuje horní číslo HEX adresy přídavného zařízení. Jediným problémem, se kterým nejde nic dělat, pak je fakt, že adresa se nastavuje inverzně oproti značení na přepínači. Sepnutý stav přepínače je od výrobce označen „jedničkou" a v našem zařízení přepínač spíná proti zemi, takže vlastně generuje logickou nulu. Výstup komparátoru A = B pak „jedničkou" říká, že je na sběrnici zvolená adresa. U desky DSE-1 je dekodér horních 4 bitů adresy tvořen obvodem A4.

Z nižších dvou adres, A2 a A3, pak vybíráme obvykle čip, který má být na desce selektován. Dekodér těchto dvou bitů je na desce realizován obvodem 74LS138 (kompatibilní s MH3205) z SSSR. Spodní bity adresy, A0 a A1, pak pouze zesilujeme (nebo spíše oddělujeme) neinvertujícími hradly 74LS08. Stejným způsobem zesilujeme signály $\overline{MR}$ a $\overline{MW}$. Zesilovač dat, který musí být obousměrný, používáme z řady MHB82XX. Tyto obvody jsou výhodné, protože mají osm bitů. Při pečlivém proměřování odběrů obvodů proudovou sondou pro osciloskop jsme však naměřili velké špičky při přepínání těchto obvodů. Nejlepší by bylo přepínat směr těchto obvodů (vstup T) bez jejich selekce (OE = „1"). V systému SAPI-1 však není připraven žádný signál, který by předem ohlašoval směr přenosu a proto musíme používat obvody tak, jak se to ve světě dělá, a doufat, že buď špičky nebudou vadit, nebo že se tyto obvody zdokonalí. Na desce DSE-1 je tedy zesilovač dat realizován obvodem MHB8286 (A3). Abych nezapomněl, ještě mě na těchto obvodech vadí to písmeno B v označení, protože jsem zvyklý, že označuje technologii MOS.

Tím jsme si popsali obvody okolo sběrnice a můžeme se věnovat dalším obvodům. Popisovat ještě dnes funkci a možnosti obvodu MHB8255A pokládám za zbytečné – bylo o něm napsáno již dost. Protože nám počet jeho vstupů a hlavně výstupů nestačil, je na desce ještě registr

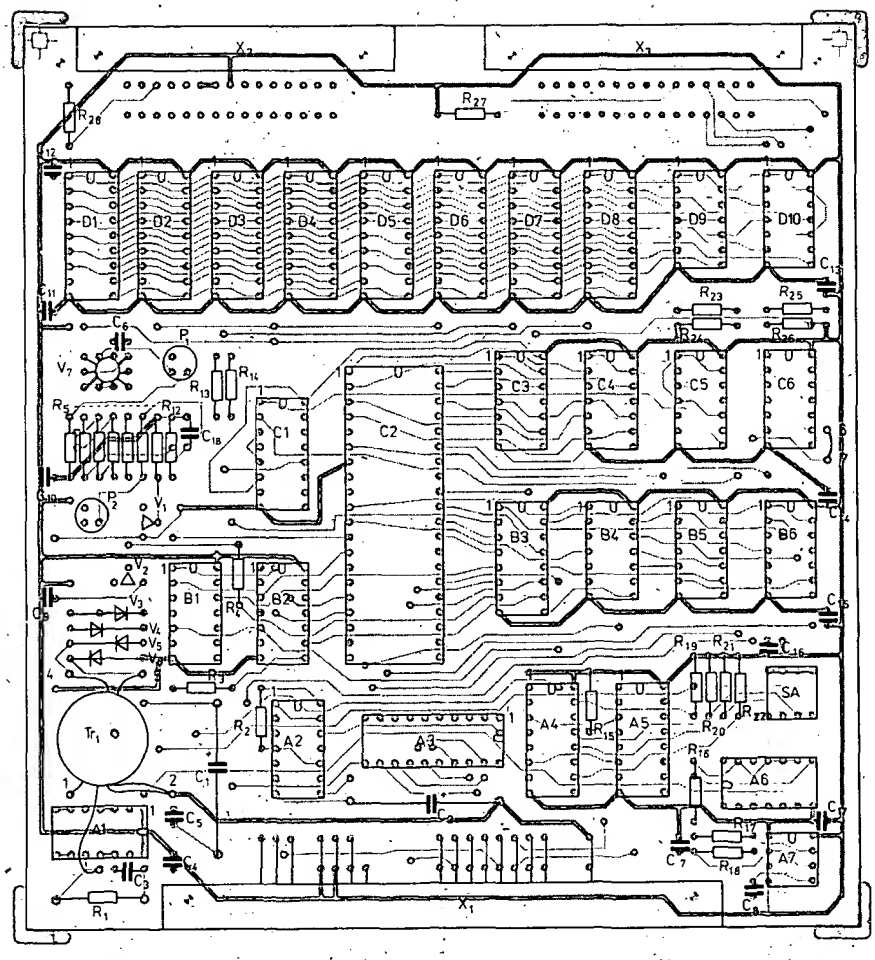


Obr. 67. Schéma desky DSE-1, část 3 – měnič a zdroj (paralelně k primárnímu vinutí, vývody 1 a 3, je zapojen sériový článek RC, R_1 – 68 Ω a C_3, 820 pF)



Obr. 66. Schéma desky DSE-1, část 2 – simulátor EPROM a zapojení kabelu

č.	X3 DSE1	2732	první 2716	druhá 2716
1	$\overline{CS1}$	18	18	–
2	$\overline{OE1}$	20	20	–
3	$\overline{CS2}$	–	–	18
4	$\overline{OE2}$	–	–	20
5	SA3	5	5	5
6	SA2	6	6	6
7	SA7	1	1	1
8	SA4	4	4	4
9	SA0	8	8	8
10	SA6	2	2	2
11	SA11	21	–	–
12	SA10	19	19	19
13	SA8	23	23	23
14	SA5	3	3	3
15	SA1	7	7	7
16	SA9	22	22	22
17	SA0	9	9	9
18	SD2	11	11	11
19		12	12	12
20	SD1	10	10	10
21				
22	SD3	13	13	13
23				
24	SD6	16	16	16
25				
26	SD5	15	15	15
27				
28	SD7	17	17	17
29				
30	SD4	14	14	14



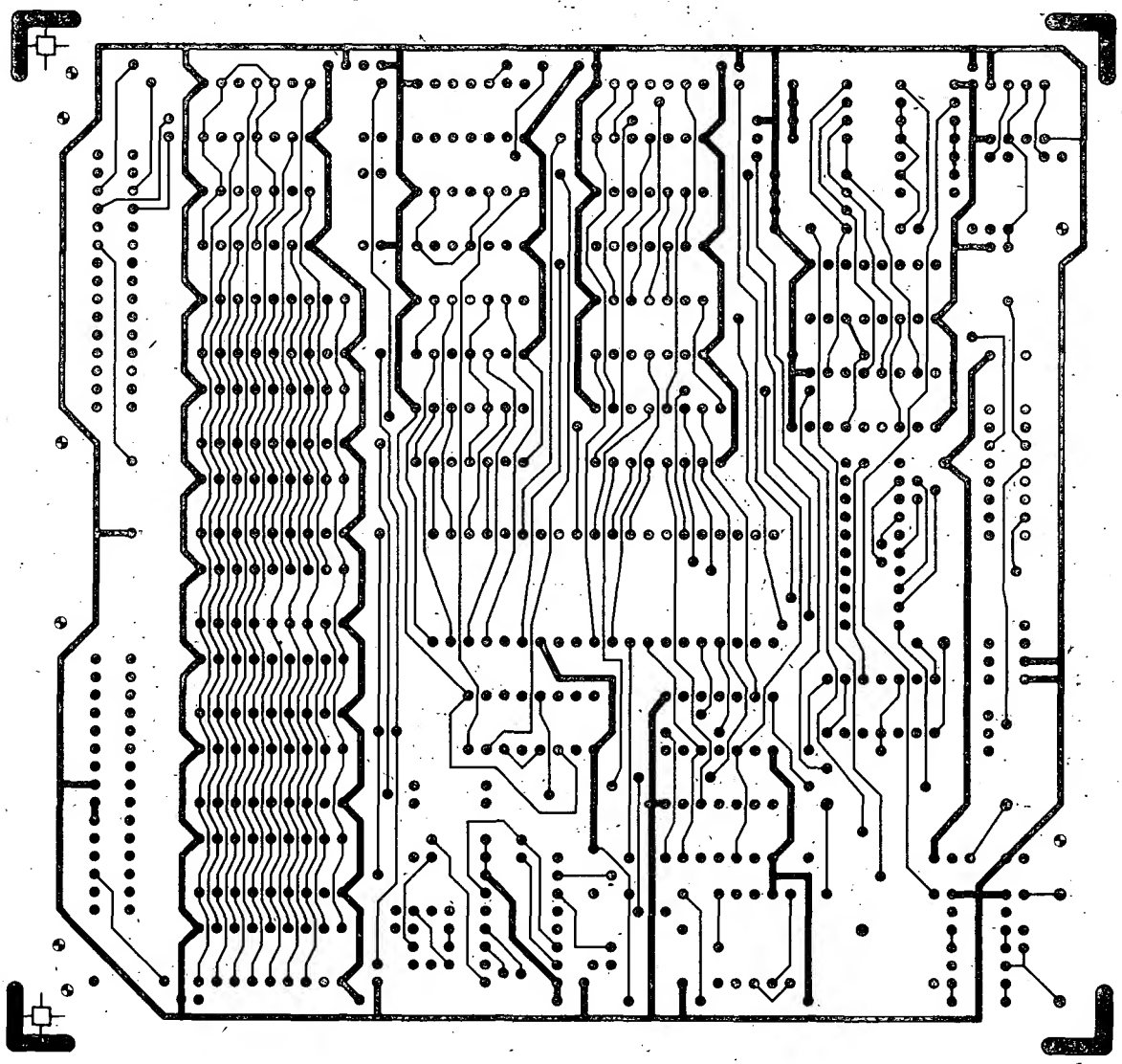
tvořený obvodem 74LS174, do něhož se zapisují řídicí slova pro indikaci na panelu (zesilovače pro diody LED (B1)), pro řízení zdroje programovacích impulsů a pro řízení vysílačů a přijímačů dat. Zde bych poznamenal, že u simulátoru EPROM existují dva stavy. První je tzv. OFF-LINE, kdy má do paměti RAM přístup procesor a může naplnit nebo zkontrolovat její data. Druhý je tzv. IN LINE, kdy paměť RAM je „řízena objímkou" paměti EPROM, do které je kabel simulátoru zasunut. Pak adresy paměti RAM generuje vlastně objímka a data z paměti RAM jsou předávána na žádost signálů $\overline{CS}$ nebo $\overline{OE}$ z objímky paměti EPROM. Proto jsou signály z řídicího registru nazvány ONL A (adresy) a ONL (D) (data).

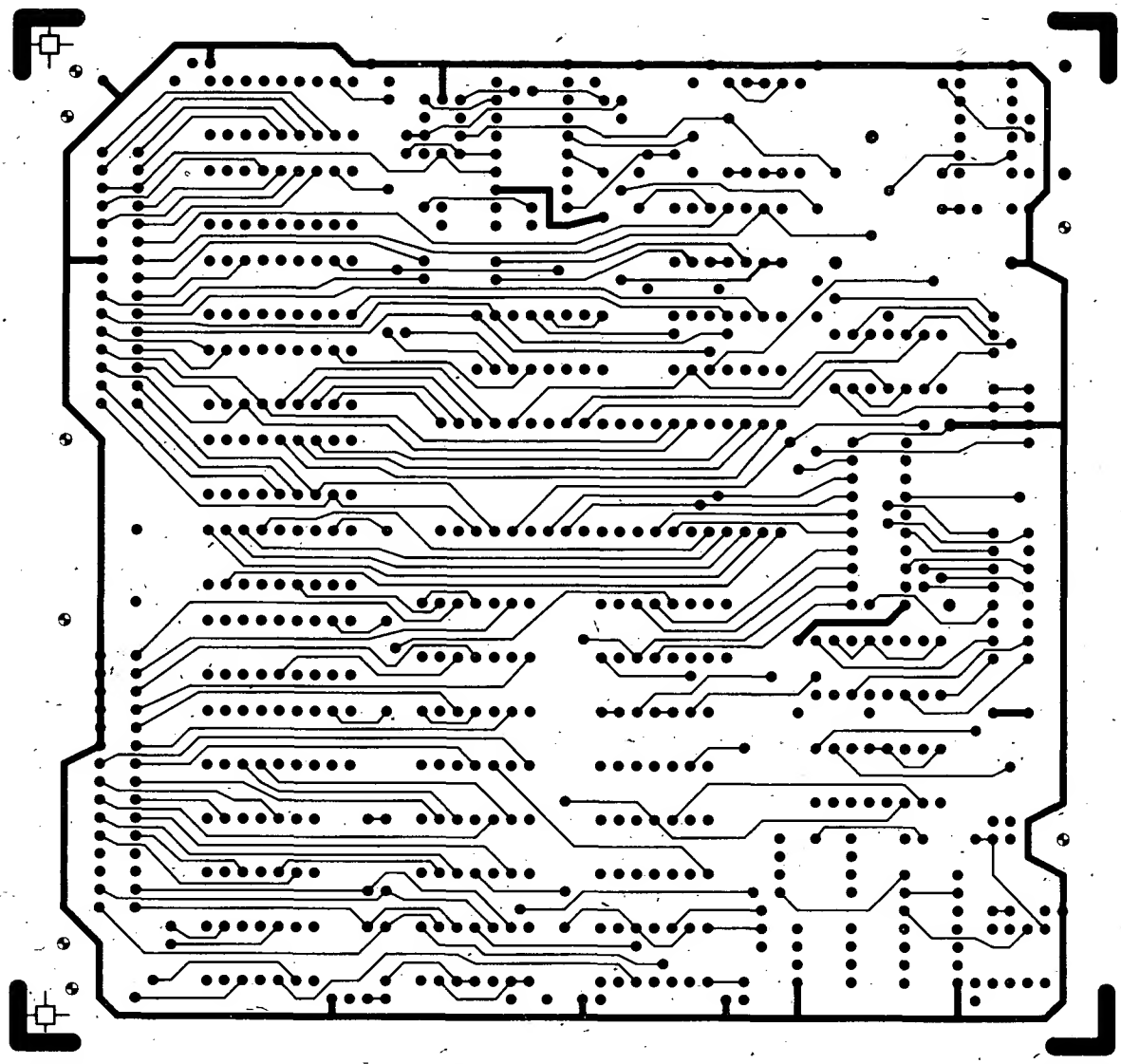
Paměť RAM na desce DSE-1 je sestavena z 8 obvodů MHB2114. Do paměti RAM musí mít přístup jak procesor, tak počítač, jehož paměť EPROM simulujeme. Pro adresy je tedy nutný multiplexer. My jsme ho na desce DSE-1 obešli tím, že generujeme adresy z výstupů portů obvodu 8255A. Ve chvíli, kdy potřebujeme pracovat v režimu ON LINE, přepneme porty obvodu 8255A na vstupní a tím je odpojíme od paměti a můžeme přivést přes třístavové oddělovače D9, D10 a C5 externí adresu z objímky kabelem na konektor.

Stejným způsobem multiplexujeme data. Při zápisu do RAM nebo při progra-

Obr. 68. Rozložení součástek na desce DSE-1

Obr. 69. Deska s plošnými spoji DSE-1 – horní strana





Obr. 70. Deska s plošnými spoji DSE-1 – spodní strana

mování paměti EPROM je port A obvodu 8255A definován jako výstupní. Při čtení z paměti RAM, nebo při režimu ONL, kdy se simuluje EPROM, je port A obrácen a pracuje jako vstupní.

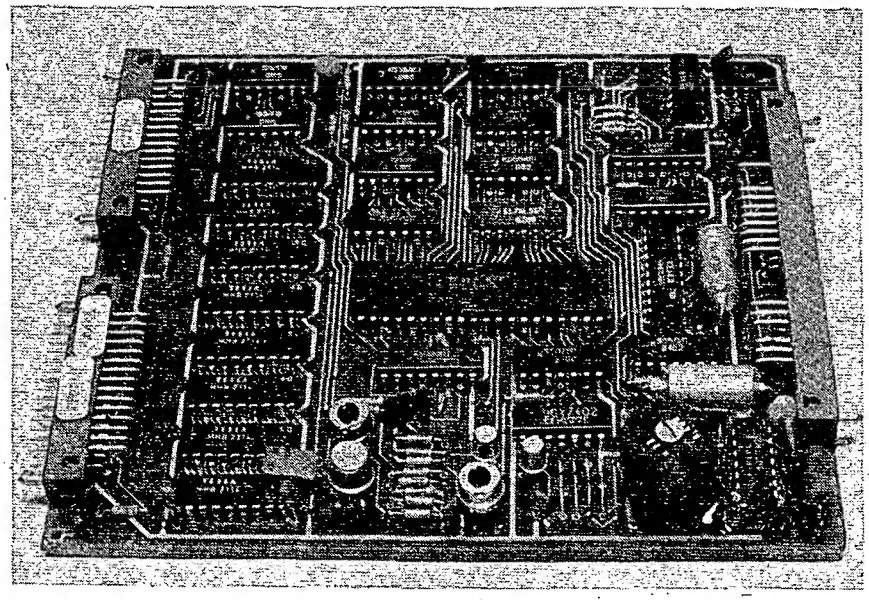
Kabel přicházející od objímky simulované paměti EPROM je na obr. 66. Konektor X_3 je připraven pro připojení jedné objímky pro paměti 2732 nebo dvou objímek pro paměti 2716. Signály $\overline{CS}$ a $\overline{OE}$ se sčítají hradly C6 a B4 a navíc musí být povolen režim ONL pro data (ONL D = „1").

Programátor pamětí EPROM je z velké části tvořen stejnými obvody, které zajišťují funkci simulátoru. Výstupní konektor X_2 je určen pro připojení dvou objímek, jedné pro 2716, druhé pro 2732. Je však možné mít jen jednu objímku a přepínat signály pro vývody *18, 20* a *21* těchto pamětí. Objímky je možno umístit třeba na přední panel počítače SAPI-1.

Aby nebylo nutné mít další napájecí zdroj pro programování pamětí, je na desce DSE-1 měnič (obr. 67), který vyrábí +30 V pro programátor. Za vlastním měničem je stabilizátor MAA723, který dodává napětí 0 V, +5 V a +25 V pro programování obou typů pamětí EPROM. Potenciometrem P_1 se nastavuje úroveň +5 V. Sepne-li tranzistor V_2, nastaví se úroveň +25 V potenciometrem P_2. Sepne-li tranzistor V_1, je na výstupu stabilizátoru napětí 0 V. Tranzistory se ovládají z výstupů řídicího registru B3.

Pro možnost použít mapování paměťového prostoru u vývojového systému JPR-1Z, je na špičku č. *21* konektoru sběrnice vyveden signál MAP, který je možno ovládat bitem D5 řídicího registru.

Na obr. 68 a 71 je rozložení součástek na desce DSE-1. Na obr. 69 je horní strana desky s plošnými spoji a na obr. 70 je spodní strana.



Obr. 71. Deska DSE-1 (viz též obrázek na titulní straně)

Seznam součástek na desce DSE-1

Integrované obvody

A1	75450PC
A2	74LS08
A3	MHB8286
A4	74LS85
A5, C1	74LS138

A6	MH7472
A7	B555
B1, C6	74LS02
B2, B6	74LS04
B3	74LS174
B4	74LS32
B5	74LS00
C2	MHB8255A
C3, C4, C5, D9, D10	74125
D1 až D8	MHB2114

Rezistory (TR 191, 10 %)

R_1	68 Ω, TR 192
R_2, R_{16}, R_{23} až R_{27}, R_{18}	1 kΩ
R_3, R_4, R_{11}, R_{12}, R_{28}, R_5, R_9	2,2 kΩ
R_6	820 Ω
R_7	10 Ω
R_8, R_{15}	10 kΩ
R_{10}	39 kΩ
R_{13}, R_{14}	220 Ω
R_{17}	8,2 kΩ
R_{19} až R_{22}	4,7 kΩ

Kondenzátory

C_1	50 µF, TE 986
C_2	200 µF, TE 984
C_3	820 pF, TK 794
C_4	6,8 µF, TE 121
C_5	6,8 µF, TE 125
C_6	100 pF, TK 783
C_7	2,2 nF, TK 745
C_8	10 nF, TK 783
C_9 až C_{17}	15 nF, TK 783

Ostatní součástky

V_7	MAA723
V_1, V_2	KFY46
V_3 až V_6	KA206
P_1, P_2	potenciometr TP 095
konektor	FRB TY517 6211 (X_1)
	FRB TY513 3011 (X_2, X_3)

Transformátor

feritový hrníček o Ø 18 mm, hmota H22, A_L = 400 nH/z²
1–2, 2–3 70 závitů, 4–5 210 závitů, vše drátem o Ø 0,12 mm CuL

Současný stav vývoje a výroby systému SAPI-1

Od vydání dvou čísel AR řady B, věnovaných systému JPR-1, uplynulo již mnoho času, ale byl také udělán kus práce. Ve spolupráci trojice řešitelů úkolu (TESLA Elstroj, TESLA Liberec a TESLA Eltos, závod DIZ) byl celý systém dopracován až do stavu, kdy mohla být zahájena jeho sériová výroba. Systém byl v souladu s tradicí systémů vyvinutých v TESLA Elstroj nazván SAPI-1. Zkratka SAPI znamená Systém Automatického Pořizování Informací a postupný rozvoj tohoto systému (SAPI-12, SAPI-12R a SAPI-80) měl za cíl odstranit negativní vliv lidského činitele při pořizování informací. Počítače jsou prakticky neomylné, většina chyb při zpracování informací vzniká již při pořizování vstupních dat člověkem, a další část vlivem chyb v programech a poruch v počítači nebo přídavných zařízeních.

Uveřejnění návodu na stavbu systému SAPI-1 v AR řady B mělo na další rozvoj systému velice pozitivní vliv. Poprvé v historii čs. výpočetní techniky byl dostatek informací o systému, který přicházel na trh. Doslovně před očima desetitisíců svědků pak probíhal i další rozvoj systému. Jak víte, původně jednodeskový mikropočítač JPR-1 se změnil na centrální desku systému SAPI-1. Počítali jsme s tím, že systémy SM 50/40 svou kvalitou a masovou výrobou postupně omezí rozvoj systému SAPI-1 a že nebude nutné vyvíjet vývojové systémy, systémy na přípravu a předzpracování dat a terminály na bázi systémů SAPI-1. Rovněž tak jsme předpokládali, že i v oblasti řídicích systémů nebudeme muset konkurovat řídicím systémům SMEP z VÚVT Žilina a systémům MIRIS z VÚAP Praha. Bohužel jsme se, jak se říká, přepočítali. Mikropočítače z koncernu ZAVT nesplnily co do kvality a kvantity očekávání a proto bylo nutné systém SAPI-1 dále rozvíjet.

Za podpory pracovníků FMEP a GŘ MLP (federálního ministerstva elektrotechnického průmyslu a gen. řed. TESLA, měřicí a laboratorní přístroje Brno) jsme pokračovali v uvedené trojici řešitelů ve vývoji a zvětšování výroby systému SAPI-1. Systém se ukázal jako dobře vyrobitelný a levný. Názory typu: „Smutný staví systém SAPI-1 jak vlaštovka hnízdo" jsou oprávněné a vůbec nás nemrzí. Skutečnost, že z jednodeskového mikropočítače je možno postavit několikadeskový systém a z něho flopydiskový systém kompatibilní se systémy SM 50/40, a že je možné aplikovat systém i pro řízení, nás spíše těší než mrzí. Nejrozšířenější mikropočítačový systém na světě IBM PC nám dal nakonec za pravdu. Na jeho systémovou sběrnici také nelze připojit více než 8 desek a další rozšiřování je možné pouze přes zesilovač v tzv. expanderu (obdobou je JPN-1 v systému SAPI-1). Sběrnice systému IBM PC je podobná jako u systému SAPI-1, má pouze bohatší systém DMA a systém přerušení. U systému SAPI-1 je bohužel nemožné efektivně rozšířit tyto dva základní systémy dobrého počítače a proto bude systém SAPI-1 nadále poněkud omezen ve své aplikovatelnosti (několikaprocesorové systémy, signální procesory atd.).

Vývojové pracoviště v TESLA Elstroj má bohaté zkušenosti s vývojem mini a mikropočítačů. Máme však omezené kapacity, zejména v oblasti programování, a proto jsme nemohli rychle plnit požadavky uživatelů na další rozvoj systému SAPI-1. Mnoha uživatelům základního systému SAPI-1 brzy došlo, že tento systém je určen pouze k zvládnutí základů mikropočítačů v praxi. Ten, kdo nečekal na rozvoj systému ze sériové výroby a začal vyvíjet svoje desky pro rozšíření systému, udělal dobře (viz AR řady A, č. 12/85). Systém SAPI-1 měl ve své základní koncepci jako jeden z úkolů naučit pracovníky našeho průmyslu řešit problémy elektronizace našeho hospodářství vlastními silami. Ne všechno je však možné řešit vlastní výrobou. Jednak ji někdo ani nemá a jednak sériová výroba zajišťuje větší spolehlivost, nižší cenu a servis v oblasti hardware i software.

Po vyřešení základních problémů při zavádění sériové výroby systému SAPI-1 v rozsahu uveřejněném v AR řady B jsme začali rozvíjet systém SAPI-1 podle dlouhodobé koncepce. Chtěl bych se zde omluvit mnoha zlepšovatelům, že jsme nepokračovali v rozvoji systému podle jejich zlepšovacích návrhů. Výroba mikropočítačů je dnes tak technologicky náročná (desky s plošnými spoji, pájení, testování), že není možné, abychom pracovali na základě zlepšovacích návrhů. Chápeme, že po sociální stránce hrají zlepšovací návrhy u technické inteligence velkou roli, ale vývoj systému pro sériovou výrobu vyžaduje, aby existoval právní podklad k tomu, že vývojář bude ručit za výrobek až do etapy výroby, servisu a programového vybavení. To zatím zlepšovací návrhy nezaručují. Dnes nezáleží ani na tom, jak „chytré" desky systému jsou, spíše na tom, jak splňují technologii a reálné možnosti součástkové základny. Bitva o součástkovou základnu dnes u nás přešla z boje o kvalitu do boje za kvantitu. Díky rozsáhlé kooperaci se zeměmi RVHP je dnes naše součástková základna celkem kvalitní. Je však problém zajišťovat součástky v počtech, které vzniknou vynásobením s roční produkcí systému SAPI-1 v TESLA Liberec. Není to jen náš problém. V době, kdy se vyvíjejí čipy s desetitisíci tranzistorů, je i v zahraničí problém s obvody, jako 7406 nebo 74157, kterých není nikdy dost, protože se používají velmi často.

Základní směry vývoje systému SAPI-1 vycházejí ze zkušenosti, že mikropočítačové systémy se dají rozlišit na ty, jež zpracovávají data a na řídicí systémy. To, že i řídicí systém musí umět zpracovat vstupní data a komunikovat s obsluhou podporuje myšlenku, že je nejlepší vycházet u mikropočítačů ze stavebnice, která respektuje jak požadavky na zpracování dat, tak i na řízení.

Současný vývoj systému SAPI-1 se dá rozdělit do několika samostatných oblastí:

- jednotky,
- procesory,
- paměti,
- řadiče,
- desky propojení,
- desky pro řízení,
- systém pro rozšíření počtu desek,
- různé samostatné díly systému.

Jednotky zahrnují napájecí zdroje jak pro desky systému, tak pro přídavná zařízení. Jedním z velkých problémů při rozšíření systému o paměť na pružném magnetickém disku (flopydisk) je zajištění napájení +5 V, +24 V a −5 V pro tuto periferii. I samostatná jednotka disku potřebuje přídavnou mechaniku a zase nástroje a technologii pro její výrobu. To, že se flopydisky nevyrábějí u nás jako ucelené jednotky s vlastním napájením, způsobuje pak velké náklady na jednotlivé vývoje a přípravy výroby u výrobců výpočetní techniky.

Procesory jsou u mikropočítačových systémů obvykle univerzální. Existence dvou typů pamětí (RAM a EPROM) a možnost adresovat periférie jako paměti odlišují však různé procesory v malých detailech. Datový operační systém CP/M požaduje, aby adresní prostor začínal pamětí RAM a řídicí systémy vyžadují na tomto místě paměť EPROM nebo ROM. Některé typy programů pro systémy CP/M zase požadují, aby procesor byl typu Z80 a nikoli 8080A. Proto i systém SAPI-1 se postupně rozrostl o další desky procesorů.

Paměti podléhají stejným požadavkům jako procesory. Záleží na tom, k jakým účelům má paměť sloužit. Někdy musí být typu ROM, někdy RAM, pro některé aplikace stačí 1 Kbyte RAM a pro některé je málo 64 Kbyte RAM. Pro řízení je často nutná paměť se zálohovaným napájením bateriemi. Původní statická paměť RAM systému SAPI-1 na desce REM-1 nestačila pro všechny aplikace a byla velmi

náročná na odběr proudu ze zdroje +5 V. Nově vyvíjené a vyráběné paměti dávají větší možnost výběru zejména díky použití dynamických pamětí RAM typu 4116.

Řadiče přídavných zařízení představují dnes samostatný problém ve vývoji výpočetní techniky. Díky zvětšujícím se nárokům na kapacity vnějších pamětí (disk, flopydisk, kazetopásková paměť, standardní pásková paměť atd.) je nutné zaznamenané informace rozdělovat na menší standardní bloky a chránit informaci zabezpečovacími kódy. Roste i kmitočet, kterým se přenášejí data mezi procesorem a přídavným zařízením. Proto je návrh a realizace řadičů čím dál tím komplikovanější. Systém SAPI-1 byl doplněn řadičem, umožňujícím připojit mechaniky standardní magnetopáskové paměti s páskem šířky 1/2" a hustotou 800 bpi (bitů na jeden inch) a formátem IMB. Díky tomu je zajištěna přenositelnost informací zejména mezi systémy SMEP a JSEP a SAPI. Standardní pásek je také dodnes jedním z nejspolehlivějších medií pro archivaci dat z počítače.

Nejrozšířenější vnější pamětí počítačů je dnes flopydisk. Jednotlivé mechaniky flopydisků se liší velikostí média-diskety. Standardní flopydisk používá diskety 8 palců, miniflopydisky používají diskety 5,25 palců a mikrodisky používají trochu odlišná média než diskety a ty mají rozměr 3,5 palce. U nás zatím připadá v úvahu pouze připojení diskové mechaniky CONSUL 7113 ze Zbrojovky Brno, která je určena pro diskety 8" s jednostranným záznamem jednoduché hustoty záznamu. Tyto diskety mají tu výhodu, že je na nich definován operační systém CP/M. Proto jsme vyvinuli řadič pro připojení mechanik CONSUL 7113 k systému SAPI-1. Řadič umožňuje připojit i miniflopydisky (5,25") z produkce NDR a později i miniflopydisky naší produkce ze Zbrojovky Brno. O nich však budeme ještě hovořit. Zatím jsme nevyvíjeli řadiče pro dvojnásobnou hustotu záznamu, protože není k dispozici československá mechanika (paměť typu CONSUL 7115 se připravuje do výroby). Pro dvojnásobnou hustotu záznamu počítáme s použitím jednočipového řadiče flopydisku typu 8272.

Dalším rozšířeným přídavným zařízením mikropočítačů je kazetová paměť. Tato paměť je vhodná zejména pro pořizování dat. Mechaniky naší výroby typu KPP 800 však nesplňují požadavky na velkou spolehlivost. Přičteme-li k tomu nezajištěnou výrobu médií (speciálních kazet s páskem pro hustoty záznamu 800 pbi), nezbývá nic jiného, než vývoj řadiče pozastavit a počkat, až se situace zlepší.

Další skupina desek systému SAPI-1 je tvořena tzv. deskami propojení. Tyto desky slouží pro spojení systému SAPI-1 se sběrnicí IMS-2, nebo pro připojení děrnopáskových zařízení a pro rozšíření základního systému o další jednotky (vany), které umožňují zvětšit počet desek systému. V budoucnu do této skupiny přibudou desky pro sériovou komunikaci na úrovních V 24 a RS 242 C a sériovou komunikaci speciální, určenou pro distribuované systémy vstupů a výstupů.

Jak uvidíte dále, řešíme pro systém SAPI-1 podsystém vstupů a výstupů na bázi logiky CMOS. Tento podsystém, nazývaný VVS-1, však vyžaduje rozšířit systém o další jednotky. Protože víme, že některé malé systémy řízení vystačí i s původní sběrnicí ARB-1 (dnes navíc rozšiřitelné o 8 pozic jednotkou JPN-1), vyvinuli jsme alespoň základní sadu desek pro řízení jednoduchých zařízení nebo procesorů. Jsou zde desky se vstupy s optoelektronickými oddělovacími členy, desky časovačů, deska reléových výstupů a převodníky A/D a D/A.

S tím, jak rostly nároky na vývoj nových desek systému SAPI-1, rostly i nároky na počet desek pracujících v dané aplikaci. Základní sestava dovoluje použít pouze 7 desek v systému a to je ještě často tento počet omezen povolenou maximální zátěží zdroje +5 V. Nároky na odběr proudu zmenšujeme postupným zaváděním sovětských obvodů řady K555 (74LS) a používáním dynamických pamětí RAM. Abychom rozšířili počet pozic pro desky, vyvinuli jsme *D*esku *P*ropojení *B*usů (DPB-1) a ta umožňuje připojit *J*ednotku *P*ropojení (JPN-1) pro dalších 8 desek systému. Desky do jednotky JPN-1 jsou stejné jako do základní sběrnice ARB-1, ale sběrnice jednotky JPN-1 je určena pouze pro desky s adresací I/O, protože má rozvedeny pouze spodní adresy A0 až A7. Základní deskou jednotky JPN-1 není tedy procesor, ale deska ZDP-1 (*Z*ákladní *D*eska *P*ropojení), která komunikuje s deskou DPB-1. Na desce ZDP-1 je časovač 8253 a řadič přerušení 8259, který umožňuje zpracovat paralelně přerušení od všech osmi desek v jednotce JPN-1. Po zavedení paralelního systému přerušení bylo třeba udělat novou sběrnici IOB-1.

Jsou aplikace, a bude jich přibývat, kdy počet vstupů a výstupů mikropočítače jde do tisíců. Takový počet vstupů a výstupů již nezvládne žádný mikropočítač s jednou sběrnicí. Tento problém bývá řešen tzv. vstupní a výstupní stranou mikro nebo minipočítače. Pro systém SAPI-1 jsme začali vyvíjet systém vstupů a výstupů, nazývaný VVS-1. Tento systém umožňuje připojit až 3500 bitů vstupů a výstupů na úrovních TTL nebo 24V. Systém VVS-1 bude doplňován i o převodníky A/D a D/A, časovače a další desky vhodné pro měření a řízení procesů.

Takový vstupní a výstupní systém mikropočítače je vlastně obrovský multiplexer a demultiplexer. Pracuje podobně jako soustava kolejí a výhybek na velkém nádraží, kde je jedna vstupní a jedna výstupní kolej. Mikropočítač má obvykle 8bitové slovo a binární informace se musí zpracovávat poměrně složitě. Náš systém VVS-1 je navržen tak, aby uměl zpracovávat i jednobitová informace, případně i čtyřbitové a samozřejmě i osmibitové.

Systém VVS-1 je zatím připojen k mikropočítači přes desku DBP-1. Uživateli se jeví jako necelé 4 Kbyte paměti. Přes stejnou desku je připojena i jednotka JPN-1, která se adresuje jako 256 byte paměti. Paralelní připojení jednotlivých jednotek JVV-1 (*J*ednotky *V*stupů a *V*ýstupů systému VVS-1) vyžaduje, aby propojení mezi jednotkami bylo krátké. Proto je zatím nutné „stáhnout" všechny vstupy a výstupy řízeného objektu do jednoho místa. Kabely a jejich instalace tvoří pak často největší nákladovou položku při investici do řízení počítačem. Proto jsou jednotky JVV-1 koncipovány tak, aby v nich mohl být lokální mikropočítač, a aby mohly být se systémem JPR-1 propojeny sériově na vzdálenost třeba 2 km. Vznikne tak distribuovaný systém řízení, měření a sběru dat. Systém VVS-1 je řešen na logice typu CMOS, aby byla redukována energetická náročnost řídicího systému.

Jak vidíte, je komplexní řešení stavebnicového mikropočítačového systému značně složité. Mnoho různých aplikací vyžaduje mnoho typů desek a navíc ještě velkou opakovatelnost stejných desek v jednom systému. Systém SAPI-1 to proto nemá při vývoji a výrobě jednoduché. Navíc vše musí mít nějakou koncepci, kterou musí uživatelé pochopit a využít ji. V následujících odstavcích vás seznámím s jednotlivými deskami systému SAPI-1, které jsou již ve výrobě nebo se do výroby připravují. Není možné dát k dispozici podrobný popis a dokumentaci těchto desek. Ne že bychom se o naše podklady báli, ale prostě by se to sem nevešlo. Nabízím proto jen stručné informace a zajímavá obvodová řešení těchto desek a základní parametry. Doufám, že na základě uvedených informací budete moci pokračovat ve své práci se systémy SAPI-1.

Jednotka JPD-1

Jednotka pružného disku JPD-1 je rozměrově shodná s jednotkou JZS-1, která je v základní sestavě systému SAPI-1. Jednotka obsahuje jednu mechaniku pružného disku pro diskety o průměru 8 palců s jednoduchou hustotou záznamu. Jednotky budou dodávány s mechanikami MOM 6400 z MLR anebo s našimi CONSUL 7113. V jednotce je napájecí zdroj ZDF-1, který dodává napětí +5 V, +24 V a −5 V pro napájení mechanik. K řadiči RPD-1 je možno připojit dvě mechaniky pružného disku – pak je nutné objednat dvě jednotky JPD-1.

ZDR-1A

Nový zdroj pro systém SAPI-1 byl vyvinut v n. p. TESLA Liberec. Tento zdroj nahradí postupně staré zdroje, které měly malý výkon a často nestačily ani k napájení základní sestavy při plném osazení desky REM-1 paměťmi 2114. Nový zdroj má povolenou zátěž při +5 V až 8 A. Zdroj bude také součástí nových jednotek (JPN-1 a JVV-1). Zdroj má mimo běžná napětí také napětí +15 V a −15 V pro napájení analogových obvodů v jednotkách JVV-1.

Deska procesoru JPR-1A

Tato deska vznikla pro operační systém CP/M. Tento operační systém vyžaduje, aby paměť RAM začínala od nuly, a aby z adresového prostoru pokud možno vymizela adresace portů a adresace displeje se přesunula do posledních „kil" paměťového prostoru. Na desce JPR-1A chybí na rozdíl od JPR-1 přerušovací systém s obvodem MH3214. Porty byly zachovány a pouze se změnila jejich adresace. Nyní jsou porty P0, P1 a P2 adresovány jako periférie (IOR, IOW) a jsou na adresách 01, 02 a 03 HEX. Zapojení konektorů X_2 a X_3 zůstalo samozřejmě stejné. Na desce je 4 Kbyte paměti EPROM a na rozdíl od JPR-1 žádná paměť RAM. JPR-1A již tedy nebude jednodeskovým mikropočítačem. Paměť EPROM na desce JPR-1A je určena pouze pro zaváděcí program operačního systému. Po signálu RESET nebo po zapnutí napájení musí být tato paměť adresovatelná od nuly. Po provedení zaváděcího programu musí být zase od nuly adresovatelná paměť RAM. Na desce je klopný obvod nazývaný BOOT. Po nulování je tento klopný obvod překlopen do jedničky a jeho výstup je veden do dekodéru adres paměti. Pro první 4 Kbyte paměti pak není na sběrnici generován signál $\overline{MR}$ (čtení z paměti) a místo něj se generuje vnitřní signál $\overline{MR}$, který čte program z paměti EPROM na desce. Signál $\overline{MW}$ není výstupem BOOT ovlivněn a ge-

neruje se pro všechny adresy. Klopný obvod je pak možno vynulovat výstupní instrukcí OUT s adresou 00. Signál BOOT přivedený do dekodéru adresy pak povolí generaci $\overline{MR}$ pro celou oblast paměti a odpojí čtení z paměti EPROM. Dekodér adresy je tvořen pamětí PROM a proto ji je možné přeprogramovat tak, aby se po skončení BOOT přemístila paměť EPROM například do posledních 4 Kbyte paměti.

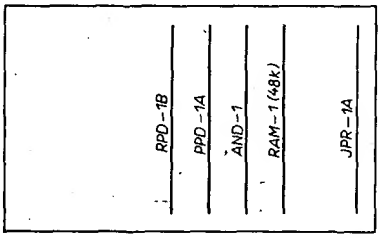
Deska JPR-1A je základem vývojových systémů VSM-1, které začínají vyrábět v n. p. TESLA Liberec. Pro implementaci operačního systému CP/M bylo také nutné předělat desku AND-1 a to tak, aby její adresa byla volitelná. Přepínačem na desce je možno zvolit počáteční adresu displeje na HEX 3800 nebo na HEX E800. Přeprogramováním paměti PROM, která nyní tvoří dekodér adresy na desce AND-1A, je možno zvolit i jiný počátek paměti.

A co je nejdůležitější – podařilo se změnit systém SAPI-1 pro operační systém CP/M bez zásahů do sběrnice ARB-1. Vyřešení přepínání RAM a EPROM pomocí blokování generace signálu $\overline{MR}$ (říká se tomu stínová EPROM) bylo klíčem ke vzniku desky JPR-1A a JPR-1Z.

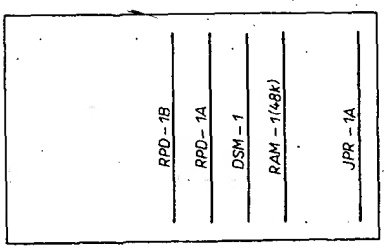
Na obr. 72 je konfigurace SAPI-1 pro operační systém CP/M s využitím desky AND-1 a TV přijímače. Na obr. 73 je konfigurace SAPI-1 pro operační systém CP/M s připojeným terminálem CM 7202 pro dodržení kompatibility těch programů, které vyžadují terminál s více než 40 znaky na řádku (64 nebo 80).

Deska RAM-1

Deska RAM-1 obsahuje 48 Kbyte dynamické paměti RAM. Je vyráběna i ve verzích 16 Kbyte a 32 Kbyte. Desky je možno kombinovat, takže ze dvou desek je možné sestavit paměť 64 Kbyte pro procesory JPR-1A a JPR-1Z, protože tyto procesory nepotřebují adresový prostor pro porty a pro paměť EPROM. Paměť RAM-1 je určena především k rozšíření paměti RAM u základního systému ZPS-1.



Obr. 72. Konfigurace SAPI-1 pro CP/M s televizním přijímačem



obr. 73. Konfigurace SAPI-1 pro CP/M s terminálem CM 7202

Refreš dynamické paměti je realizován na základě stejného autorského osvědčení jako u dříve popisované desky RAM-32. Refreš se provádí v cyklu FETCH při každé instrukci obdobně jako u mikroprocesoru Z80. Refreš je udržován pouze při stavu RESET a není zajištěn ve stavu HALT po instrukci HALT a při čekání na READY nebo při DMA. Pro většinu aplikací to však není na závadu. Krátké cykly DMA, například při přenosech z pružného disku (asi 1,5 µs každých 32 µs), nebo několik cyklů stavu NOT READY této paměti však nevadí. V podstatě je důležité, aby se každých 15 µs provedla alespoň jedna instrukce. *(Dokončení v příštím čísle).*

INZERCE

Inzerci přijímá osobně a poštou Vydavatelství Naše vojsko, inzertní oddělení (inzerce AR), Vladislavova 26, 113 66 Praha 1, tel. 26 06 51–9, linka 294. Uzávěrka tohoto čísla byla dne 30. 9. 1985, do kdy jsme museli obdržet úhradu za inzerát. Neopomeňte uvést prodejní cenu, jinak inzerát neuveřejníme. Text inzerátu pište čitelně, aby se předešlo chybám vznikajícím z nečitelnosti předlohy.

PRODEJ

TI-59 (6000), 40 štítků, český návod. S. Terrich, Nad Krocínkou 51, 190 00 Praha 9-Prosek, tel. 82 18 305.

Sinclair Spectrum + 48 kB (11 000), interface II, microdrive a 2× joystik. P. Kočan, Černockého 1486, 149 00 Praha 4, tel. 791 36 31.

Širokopásmový zes. 2× BFR90 (350), zes. IV-V. pásmo 2× BFR91 (350), tr. BFR90, 91 (100), zes. VKV – CCIR (150). Jan Vaněk, Kosmonautů 3019, 276 01 Mělník.

Sinclair ZX-81 (5000) + 16 kB RAM (1900), málo používaný (mnoho programů). Pavel Chaloupka, Jiráskova 677, 252 29 Dobřichovice, tel. 21 61 45 75 dopol.

Cassette deck Toshiba PCG30, Dolby B, C, mikroproces. ovlád., 2 motory, amorfní hlava, metal 20 – 19 000 Hz, indik. LED, timer (6500), 100 % stav. Ing. Martin Outlý, 25. února 448., 403 31 Neštěmice.

Sinclair Spectrum 16 kB ROM, 48 kB RAM, propoj. kabely, manuál, učeb., kazet. magn., ZX interface 2, knipl, ROM modul JET PAC, mnoho kazet, knihy v angl., jednotlivě, v celku sleva 1/3 (22 000). J. Kremsa, Děvínská 12, 150 00 Praha 5.

Reportážní stereo walkman, (3300). Tomáš Vorel, Branická 82, 147 00 Praha 4, tel. 46 19 952 od 24.00 do 7.00 hod.

ZX Spectrum 48 kB + programy + český manuál (12 000), programovatelný interface joystick (2000) a další programy na kazetě (à 200). Otilie Lenerová, Zoubkova 4, 150 00 Praha 5-Smíchov.

ZX 81 včetně manuálu a českého překladu (4000). Ing. Jankovský, 5. května 61, 140 00 Praha 4, tel. 43 20 33 dopoledne.

Tuner ST100, OIRT, CCIR, bezvadný stav (2000). Jan Steinmacher, Macurova 1380, 149 00 Praha 4.

KOUPĚ

Technics ST7300, SU7300. L. Chvalkovský, Malinovského 11–33, 686 01 Uh. Hradiště.

Oživené desky tuneru podle P. Němce nebo podobného. A. Vašák, Březinovy sady 3, 586 01 Jihlava.

VÝMĚNA

TI99/4 a za Spectrum nebo prodám (10 000). P. Zahradník, Feřtekova 557, 181 00 Praha 8.

ÚSTAV PRO VÝZKUM MOTOROVÝCH VOZIDEL,

LIHOVARSKÁ 12, 180 68 PRAHA 9

přijme pro své pracoviště na Vinohradech

mladšího absolventa průmyslové školy elektro, se zájmem o elektroniku,

absolventku průmyslové školy elektro.

Informace na tel. 74 33 42, linka 48

Náborová oblast Praha.